



Bild: FlowCAD

**Bild 1:** Design-Fehler können zu überhöhtem Stromfluss führen, damit Bauteilstress verursachen und für Bauteilausfall sorgen.

# Audits in Allegro System Capture verbessern die Zuverlässigkeit

*Gerade in der Leistungselektronik ist der maximale Stromfluss im MOSFET oder IGBT wichtig für die Zuverlässigkeit. Gestresste Bauteile können Frühausfälle oder Fehlfunktion verursachen.*

DIRK MÜLLER \*

Bei steigender Komplexität, kürzeren Entwicklungszeiten und schrumpfenden Toleranzen wird es immer schwieriger eine zuverlässige, funktionierende Elektronik zu entwickeln. Nur zu schnell kommt es zu kleinen Verstößen gegen die Design-Vorgaben, die zu späteren sporadischen Ausfällen der Baugruppe führen. Im Schaltplaneingabe-Tool Allegro System Capture von Cadence sind mit dem Release

vom Januar 2021 eine Reihe von Audits integriert worden, um den aktuellen Anforderungen entsprechen zu können. Damit lässt sich die Zuverlässigkeit der Schaltung weiter verbessern.

Das Entwerfen und Optimieren von elektrischen Schaltungen ist gerade deshalb eine schwierige Aufgabe, weil allzu häufig unterschiedliche Vorgaben an die Schaltung zueinander im Widerspruch stehen. Die Schaltung soll zuverlässig, aber zugleich günstig sein. Für die elektrische Sicherheit und EMV müssen die Abstände groß sein, doch das Endgerät soll miniaturisiert werden. Ein ausführliches Simulieren, Messen und Testen stehen im Widerspruch zu einem schnellen

Markteintritt und geringen Kosten. Wenn der Designer eine Schaltung entwirft, so wählt er elektronische Komponenten aus und verbindet die Pins miteinander. Pins können Power oder Ground, Signale, differentielle Signale sein oder zu Bussen gehören. Alle Verbindungen werden in der PCB-Design-Software als Netzliste für die Schaltung erfasst und im Schaltplan dokumentiert.

CAD-Software zum Entwickeln von Leiterplatten kann schon seit langem mit Design Rule Checks die Einhaltung von Vorgaben prüfen. Diese Checks waren bisher meist auf Überprüfungen der Vorgaben wie Leiterbahnbreiten, Leitungslängen und Abstände aller Art im Layout der Leiterplatte fokus-



\* Dirk Müller  
... ist Geschäftsführer bei FlowCAD,  
Feldkirchen.

siert. Über die Jahre wurden die Regeln, die in Echtzeit beim Routen auf Einhaltung geprüft werden, um viele Vorgaben im Hinblick auf Signalintegrität erweitert.

Durch die Miniaturisierung werden die Fertigungstoleranzen weiter ausgereizt; dazu sind in den letzten Jahren DFM-Checks im Layout ergänzt worden. Mit diesen DFM-Checks lassen sich online während des Layouts die Vorgaben für die unterschiedlichen Maschinen in der Fertigung mitberücksichtigen. Design-Regeln gibt es im Constraint Manager, DFM Checks im PCB Editor und jetzt neu die Audits im Schaltplan.

### Eine völlig neue Kategorie von Audits im Schaltplan

Somit ist im Januar-Release 2021 von Allegro eine ganz neue Kategorie von Audits bereits im Schaltplan hinzugekommen. In weltweiten Gesprächen und Umfragen unter den Entwicklern hat sich herausgestellt, dass durch Komplexität und Zeitdruck immer mehr Flüchtigkeitsfehler in den Designs enthalten sind. In manuellen, optischen Design Reviews sollen diese Fehler gefunden werden. Aber Fehler wie falsch dimensionierte Pull-Up-Widerstände oder falsche Spannungswerte an Kondensatoren sind sehr schwer zu erkennen. Wegen steigender Anforderungen und sinkender Toleranzen sind sie oft die Ursache für sporadische Ausfälle oder unzuverlässige Leiterplatten.

Mit Audits im Schaltplan kann die Qualität der Schaltung und damit die Zuverlässigkeit der Baugruppe erhöht werden. Die Audits geben dem Entwickler ähnlich wie eine Rechtschreibprüfung in der Textverarbeitung sofortiges Feedback, wenn Regeln verletzt wurden. In der Rechtschreibprüfung werden nicht nur falsch geschriebene Worte durch Vergleiche mit einem Wörterbuch gefunden, sondern auch Fehler bei Satzzeichen oder Grammatik erkannt. Solche „Grammatikfehler“, die über bisherige Schematic Rule Checks hinausgehen, gibt es auch in der Elektronik.

In Audits erfolgt anhand der Netzliste und den Informationen aus der Bauteilbibliothek die systematische Analyse der Schaltung. Es werden falsch verbundene Pins von der Software erkannt, etwa wenn ein Power- oder Ground-Pin an einen falschen Spannungswert angeschlossen ist. Das Tool kann auch erkennen, wenn es sich um einen Anschluss über einen Spannungsteiler, Pull-up- oder Pull-down Widerstand handelt.

Es werden auch Stellen hervorgehoben, an denen eine Leitung (Netz) beispielsweise nur an einem Pin kontaktiert ist. Zu solchen Fällen kann es kommen, wenn Schaltungen

über mehrere Seiten mit Off-Page Symbolen verbunden sind und hier die Leitung am Übergang von Schaltplanseiten unterbrochen wurde. Solche Fehler sind schwer zu sehen, jedoch im CAD-Tool schnell zu prüfen. Die Audits erkennen aber noch viel mehr und die Suchkriterien gehen deutlich über bisherige Checks hinaus. So kann auch verifiziert werden, ob der Wert eines Pull-Up- oder Pull-Down-Widerstands zur Schaltung und zur Betriebsspannung passt.

### Audit mit eindeutigen Fehlern und Warnungen

Fehler durch falsche Widerstandswerte sind vom Entwickler sehr schwer zu entdecken und führen zu Signalfehlern oder zu hohem Stromverbrauch. Solche Fehler schließlich in einer Schaltung bei einem Review zu finden ist äußerst schwierig.

Die Unterscheidung zwischen eindeutigen Fehlern, Warnungen und Informationen hilft dem Entwickler bei der Gewichtung der Meldungen. Die Probleme werden in einer Liste sortiert nach Kategorie, Fehlern und Warnungen angezeigt. Wenn der Entwickler einen Eintrag auswählt, zoomt Allegro System Capture an die relevante Stelle im Schaltplan. Durch die entsprechenden Hinweise weiß der Entwickler sofort, was zu tun ist, um den Fehler zu beheben.

Wenn fälschlicherweise ein NC-Pin an Ground angeschlossen ist, kann das zu Problemen in der Zuverlässigkeit führen. Zu Non Connected Pins an ICs kommt es, wenn ein Standard-IC-Gehäuse mehr Pins hat als er für die Funktion benötigt und der Chip-Hersteller aus Kostengründen kein eigenes IC-Gehäuse entwickelt hat. Oder aber, wenn Pins in der IC-Fertigung zum Kalibrieren oder

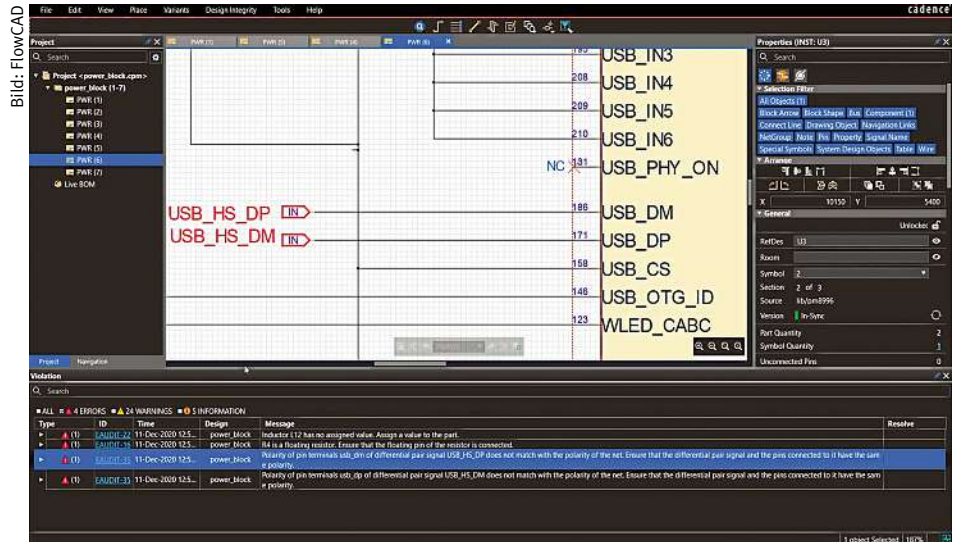


Bild 2: Das Audit erkennt falsche Polarität eines differentiellen Paares.

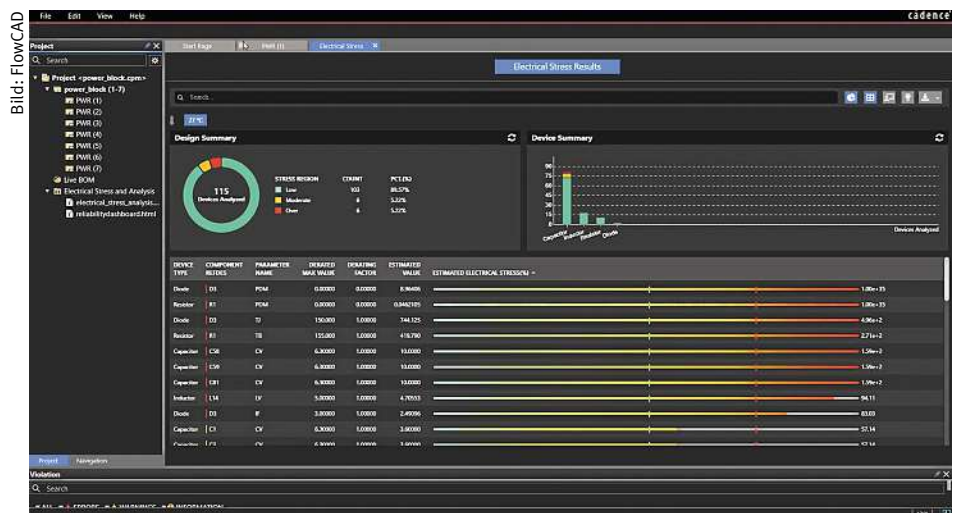


Bild 3: So sieht die grafische Darstellung der gestressten Bauteile aus.



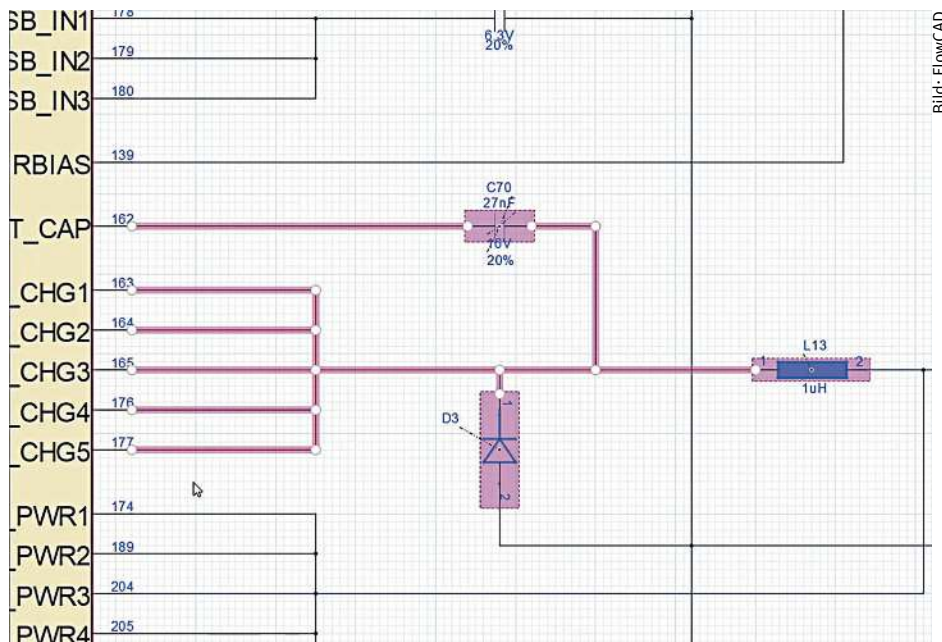


Bild: FlowCAD

Bild 4: Beispiel einer Teilschaltung (Subcircuit), die den Stress an der Diode verursacht.

Programmieren verwendet werden. Bleibt ein NC-Pin ungenutzt, dann erzeugt er eine überflüssige Verbindung im Layout, die Platz verbraucht und gegebenenfalls einen Stub darstellt. Dieser Stub wirkt dann als Antenne für Ein- und Abstrahlung und verursacht EMV-Probleme. Wenn aber dieser NC-Pin für die Programmierung oder die Kalibrierung bei der Herstellung der Komponente verwendet wird, können Spannungsänderungen an diesem Pin den Baustein in einen anderen Modus versetzen und die Funktion der ganzen Baugruppe beeinträchtigen.

### Hintergrundsimulation ermittelt Strombelastung

Durch eine Simulation im Hintergrund lassen sich die Ströme berechnen, die durch Bauteile fließen. Ein Vergleich mit den maximal zulässigen Strömen, die für das Bauteil in der Bibliothek hinterlegt wurden, dient als Grundlage für eine Stressanalyse. Das Tool erkennt die Bauteilart und kann so ein Default-Modell für die Simulation mit den Bauteilwerten automatisch anpassen. Wenn PSpice-Modelle hinterlegt werden, sind die Ergebnisse sogar noch verfeinerbar. Für die Stress-Analyse muss der Entwickler nichts vorbereiten. Alle erforderlichen Werte sollen am besten bereits in der Bibliothek verfügbar sein. Sollte doch ein benötigter Wert fehlen, so würde dies als Warnung angezeigt werden und nach der Eingabe behoben sein.

Gerade in der Leistungselektronik ist der maximale Strom, der durch ein MOSFET oder IGBT fließt, wichtig für die Zuverlässigkeit einer Schaltung. Gestresste Bauteile können

frühzeitig ausfallen oder es kommt durch Überlastung zu Fehlfunktionen. Das Audit stellt die Belastung der Bauteile in Prozent dar und dadurch ist ohne großen Aufwand erkennbar, welche Bauteile in der Schaltung am meisten und welche nur gering belastet sind. Da überlastete Bauteile im Laufe der Zeit ausfallen können, sind diese Hinweise auf die Belastung der Bauteile schon früh im Entwicklungsablauf sehr hilfreich. Der Entwickler kann sofort durch Änderungen in der Schaltung oder durch belastbarere Bauteile Abhilfe schaffen. Dies stellt die kostengünstigste Methode dar, weil Fehler frühzeitig vermieden oder sofort behoben werden, bevor Folgekosten durch Prototypen und Redesigns entstehen.

Für die Analyse wird die Schaltung im Hintergrund in Teilschaltungen (Subcircuits) aufgeteilt. Zeigt ein Report ein gestresstes Bauteil an, dann visualisiert die Software alle Teilschaltungen, die relevante Bauteile für die Überlastung enthalten. Der Entwickler sieht in den Subcircuits schnell, welche Komponenten einen Einfluss auf die Ströme und damit auf den Stress haben.

### Temperatur-Stress und Fehlerursachen

Je nach Art des Betriebs der Baugruppe spielen unterschiedliche Betriebstemperaturen eine Rolle. Daher lässt sich die Stressbelastung der Schaltung für unterschiedliche Temperaturen berechnen und vergleichen. Durch die farbliche Kennzeichnung von gering, mittel bis hin zu stark belasteten Bauteilen bei unterschiedlichen Temperatu-

ren erkennt der Entwickler auf einen Blick, welchen Einfluss Temperaturänderungen auf Schaltungsteile haben.

Die Ursachen für Fehler sind vielfältig. Heute werden viele Schaltungsteile wiederverwendet, deren ursprünglich getroffenen Annahmen leider zum Teil nicht gut dokumentiert sind. Wenn sich dann die Versorgungsspannung ändert, sind auch die Bauteilwerte entsprechend anzupassen. Arbeiten Design Teams an einem Schaltplan, werden Abblockkondensatoren für Design-übergreifende Netze vergessen. Offene bzw. falsche Verbindungen können beim Editieren unabsichtlich entstehen.

Bei Gesprächen mit Entwicklern hat sich gezeigt, dass die Ursache für sporadische Fehler einer Baugruppe zu etwa 40% auf Flüchtigkeitsfehler im Schaltplan zurückzuführen ist. Die zweite große Ursache sind undefinierte Zustände in der Software, die die Baugruppe steuert und regelt. Mit den Audits lassen sich die häufigsten Fehler automatisch erkennen und sofort beheben.

Beim Schematic Audit und in der Stressanalyse prüft das Tool die Einhaltung von über 50 verschiedene Regeln, die sich einzeln ein- und ausschalten sowie konfigurieren lassen. Dazu gehören auch Checks, die die richtige Verbindung im Schematic überwachen. Es werden beispielsweise nicht komplett angeschlossene (floating) Bauteile, unpassende Bit-Zuweisungen in einem Bus, Input Pins ohne Treiber, Output Pins ohne Empfänger/Last oder Open-Collector-Schaltungen ohne Pull-Up-Widerstand erkannt.

Eine weitere Gruppe von Audit-Regeln bezieht sich auf die Bauteile an sich. Beispiele für solche Prüfungen sind, ob der vorgegebene Spannungswert eines Abblockkondensators passt, Werte für generische R/L/C-Komponenten zugewiesen sind und ob VoH- und VoL-Werte vergeben sind. In der Gruppe von Protokoll-Checks wird geprüft, ob Input Pins mit Pull-Up oder Pull-Down beschaltet sind, die Polarität von differentiellen Paaren passt, die Werte für Pull-Up- oder Pull-Down-Widerstände zu hoch oder zu niedrig sind oder Abblockkondensatoren fehlen.

CAD-Flows unterscheiden sich heute hauptsächlich darin, wie viele Prüfungen sie unterstützen. Die Datenkonsistenz und Einhaltung der Design-Regeln (etwa Signal-Integrität, Power-Integrität, Fertigung und Bestückung) sind jetzt um Syntaxregeln im Schaltplan erweitert. Das frühzeitige Erkennen und Vermeiden von Fehlern hilft, Elektronik günstiger und zuverlässiger zu entwickeln. // KU

FlowCAD