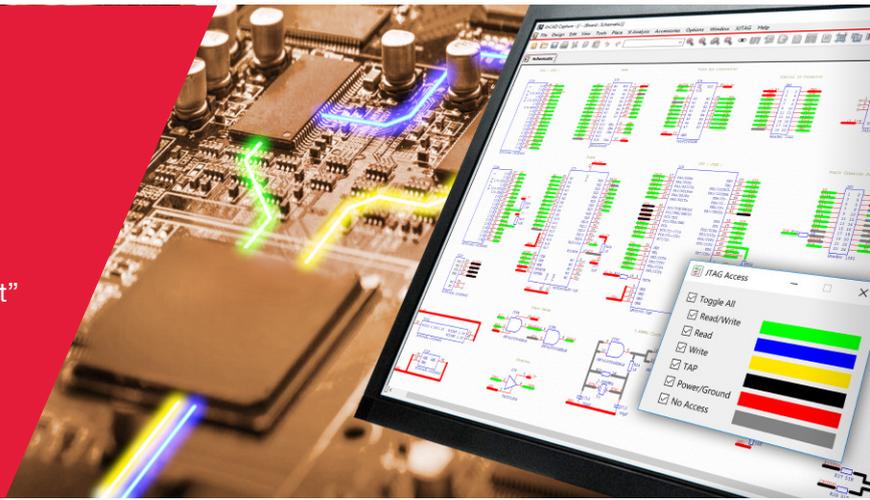


Neues XJTAG® DFT-Assistant-Tool für OrCAD® Capture

Kostenloses, einfach zu bedienendes „Design for Test“ Plugin, mit dem Sie Fehler vor der Ausführung entdecken und teure Respins vermeiden können

FlowCAD



„Von der Firma XJTAG entwickelt, wird diese kostenlose App für OrCAD Capture die „Design for Test“- und Debug-Fähigkeiten des schematischen Capture- und Leiterplatten-Design-Systems deutlich erhöhen.“

OrCAD Capture verfügt über eine Vielzahl von Funktionen, die Ingenieure dabei unterstützen, ihre Leiterplatten-Designs effizienter zu verwalten: vom ersten Entwurf über die Entwurfsanalyse und Regelprüfung bis hin zur Layout-Optimierung, Komponentenauswahl und Stücklistenverwaltung. Tools wie Autorouting beschleunigen mühsame Prozesse, Viewer mit Farbcodierung helfen, Netze zu untersuchen sowie Verbindungshierarchien zu steuern; Datenbank- und Such-Tools unterstützen bei der Optimierung der Komponentenauswahl.

Ingenieure müssen bereits beim Entwerfen des Schaltplans in der Lage sein zu bestimmen, wie sie Flash-Programmierungen, JTAG-Debugging und Boundary Scan-Tests am besten implementieren können. Mit OrCAD Capture haben Benutzer nun Zugriff auf den XJTAG DFT Assistant um zu überprüfen, ob JTAG-Ketten auf der Platine korrekt eingerichtet und geeignet sind, Tests, Debugging und Programmierungen zu unterstützen. Durch die Beseitigung von Fehlern und Sicherstellung der vollen Ausnutzung der JTAG-Ketten steigert der DFT Assistant die Effizienz der Testabdeckung. Die App stellt sicher, dass die Prototypen mit Boundary Scan getestet und programmiert werden können, nachdem sie gefertigt wurden.

Die Überprüfung von Designs auf Schaltplan-Ebene bringt enorme Vorteile zu Beginn des Produktlebenszyklus. Sie kann helfen auf Fehler aufmerksam zu machen, bevor die Hardware gebaut wird. Der zusätzliche Nutzen wird besonders erkenntlich, wenn die ersten Prototypen hergestellt werden und Verbindungstests in nur wenigen Minuten durchgeführt werden können, während die manuelle Überprüfung, Lokalisierung von Kurzschlüssen oder die Inbetriebnahme des Boards, sollte es nicht starten, Stunden dauern können. Mit

einer funktionierenden JTAG-Leistungsfähigkeit früh in der Fehleranalyse wird die Entwicklung der Boards beschleunigt und Firmware-Programmierungen, CPU-Debugging sowie Boundary Scan-Tests ermöglicht.

„Wir haben gesehen, dass unsere Kunden von der direkten Integration JTAGs in OrCAD Capture profitieren können“, kommentiert Kishore Karnane, Direktor Produktmanagement bei Cadence OrCAD Solutions. „Das Team von XJTAG ist der ideale Partner, der uns dabei hilft dieses Ziel zu erreichen, indem es sein Fachwissen und seine Kompetenz im Bereich Testing und Design zur Verfügung stellt.“

Das Ergebnis dieser Kooperation, der XJTAG DFT Assistant für OrCAD Capture, besteht aus dem XJTAG Chain Checker und dem XJTAG Access Viewer. Der XJTAG Chain Checker identifiziert gängige Design-Probleme wie Verbindungsfehler im JTAG-Chain-Design oder fehlerhafte Terminierungen von Signalen an Test Access Ports (TAPs). Ein einziger Fehler in diesem Bereich des Produktdesigns kann verhindern, dass die Kette funktionsfähig ist, so dass es unerlässlich ist, die Überprüfung vor der Produktion der Platine durchzuführen.

XJTAG Access Viewer hilft Ingenieuren, die Testbarkeit ihres Designs zu beurteilen und zu identifizieren, an welchen Stellen die Abdeckung verbessert werden könnte, indem das Ausmaß des JTAG-Zugriffs als Überlagerung in einer schematischen Darstellung angezeigt wird. Ein hilfreiches Auswahlwerkzeug ermöglicht es den Ingenieuren, spezifische Bereiche, die von Interesse sind, ganz einfach zu analysieren, indem

sie sich den Testzugriff auf Netze (Lesen, Schreiben, Power/Ground oder kein Zugriff) einzeln oder in Gruppen durch die Auswahl von Kontrollkästchen anzeigen lassen können. Die Netze sind durch ihren JTAG-Zugang farblich gekennzeichnet, um die Überprüfung zu erleichtern.

Kishore Karnane fasst zusammen: „Mit dem XJTAG DFT Assistant können wir unseren Kunden durch eine leistungsstarke Testfähigkeitsanalyse einen noch größeren Nutzen bieten. Die fundierte Expertise von XJTAG in Bezug auf JTAG / Boundary Scan und Design Automation sorgt für eine qualitativ hochwertige Lösung, die es Nutzern von OrCAD Capture ermöglicht, noch schneller und effizienter bessere Produkte zu gestalten.“

Cadence-Produkte werden von FlowCAD in Deutschland, Österreich, der Schweiz, Polen, Tschechien, der Slowakei, Ungarn, Rumänien, Bulgarien und in Südafrika vertrieben. www.FlowCAD.com

Meinung

Urs Allemann
Leiter Design Services
ed electronic design ag
Schweiz

„Wir müssen frühzeitig in der Designphase feststellen, wie die Testabdeckung mit der minimalen Anzahl von Testpunkten maximiert werden kann. Daher ist es entscheidend, zu wissen, welchen JTAG-Zugang in der schematischen Phase zur Verfügung steht. Der XJTAG DFT-Assistent für OrCAD Capture erleichtert es uns, die Testabdeckung bei der Entwicklung des Designs vorausszusehen. So können wir unsere Tests optimieren, bevor die Leiterplatte hergestellt wird.“

**Daten
Bank**

cadence®

Unternehmen	Cadence Design Systems Hauptsitz USA
Art des Geschäfts	Führender Anbieter von EDA-Tools Software, IP und Services
Hauptprodukte	Breites Sortiment an Tools für die Konstruktion und Prüfung von Chips, Paketen, Karten, ganzen Systemen
Kunden	Weltweite elektronische Design-Community
Gegründet	1988
Mitarbeiter	6700+ weltweit
Umsatz	1.7 Milliarden USD
Standort	San José, CA, USA; Büros weltweit
Webseite	www.cadence.com