

Layout2Allegro Migration Dokumentation

Version 1.0

INHALTSVERZEICHNIS

1)	<i>Vorwort</i>	1
2)	<i>Umsetzung der OrCAD Layout Boarddaten</i>	2
2.1	Vorbereitende Schritte in OrCAD Layout	2
2.1.1	Aktivieren aller elektrischen routing Layer	2
2.1.2	Layout „aufräumen“ (cleanup).....	3
2.1.3	Einschränkungen bei der Konvertierung (Sonderzeichen).....	4
2.2	Umsetzung der Bibliotheken	5
2.2.1	Erstellen einer Bibliotheks Katalog- Datei aus OrCAD Layout	5
2.2.2	Umsetzung der OrCAD Layout Katalog- Datei	6
2.2.3	Verwenden der Footprints im Allegro PCB Editor	7
2.3	Umsetzung kompletter OrCAD Layouts	10
2.4	Überprüfung der Boarddaten in Allegro PCB Editor	11
2.4.1	Das Definieren manuelle Ausschnitte (cutouts) in den inneren Kupferlagen	11
2.4.2	Löschen von isolierten Kupferflächen	11
2.4.3	Definieren von thermischen Flash Symbolen für Padstacks	12
2.4.4	Entfernen von doppelten Vias	13
2.4.5	Backannotation von Allegro PCB Editor zu Design Entry CIS	14
2.4.6	Pin-Nummern Sichtbarkeit im Allegro PCB Editor Layout	17
2.4.7	Grid Einstellungen ändern	19
2.4.8	Definieren von Abstandsregeln der elektrischen Netzen	20
2.4.9	Löschen von überflüssigen „Ratsnests“ (Verbindungslinien).....	20
2.4.10	Einschränkungen für Netze bei den elektrischen Lagen	20
2.4.11	Bereinigung von „Pin to Pin“ Abstandsfehler.....	20
2.4.12	Anpassen der Padgrößen im Allegro PCB Editor	22
2.5	Synchronisierung von OrCAD Capture mit dem neuem Allegro PCB Editor	
Boarddaten.	23
2.5.1	Notwendige Vorkenntnisse	23
2.5.2	Verzeichnisstruktur:	24
2.5.3	Backannotation von Footprintdaten mittels Skill Routine	24
3)	<i>Anhang</i>	27
3.1	OrCAD Layout “Short Keys” in Allegro PCB Editor	27
4)	<i>Abbildungsverzeichniss</i>	30

1) Vorwort

Diese Dokumentation beschreibt wie ein PCB von OrCAD Layout nach Allegro PCB Editor umgesetzt werden kann.

In den Kapiteln werden Themen behandelt:

1. Vorbereitende Schritte in OrCAD Layout für die Umsetzung nach Allegro PCB Editor.
2. Umsetzung der Bibliotheken.
3. Umsetzung der OrCAD Layout Boarddaten.
4. Überprüfung der Boarddaten in Allegro PCB Editor.
5. Synchronisierung von OrCAD Capture mit dem neuem Allegro PCB Editor Boarddaten.

Zusätzlich enthält diese Dokumentation eine Beschreibung von „Short Keys“ die vorwiegend aus OrCAD Layout übernommen worden sind und den Umstieg in Allegro PCB Editor vereinfachen sollen. Die „Short Keys“ sind frei programmierbar und stellen nur eine von FlowCAD willkürlich ausgewählte Anzahl von Funktionen zur Verfügung. Diese Liste kann beliebig ergänzt bzw. geändert werden.

Mit der Installation von OrCAD (seit OrCAD 15.7) wird automatisch eine Version von „OrCAD Layout Translator“ installiert.



Die aktuellste Version vom „OrCAD Layout Translator“ finden Sie außerdem auf unserem Server unter:

<http://fc-mycrm/flowcad/Download.htm>

2) Umsetzung der OrCAD Layout Boarddaten


2.1 Vorbereitende Schritte in OrCAD Layout

1. Aktivieren aller elektrischen routing Layer
2. "Cleanup" Design
3. Sicherstellen dass alle Texte nach Allegro PCB Editor umgesetzt werden können.

2.1.1 Aktivieren aller elektrischen routing Layer

Note: Üblicherweise sind in einem fertigen Layout alle notwendigen Layer aktiv so dass dieser Punkt übersprungen werden kann. Allgemeine Empfehlung ist es die Layer dennoch zu überprüfen um nicht unnötige Fehler während der Umsetzung zu erzeugen. Allgemein müssen für die Migration keine zusätzlichen Layer aktiviert werden.

Zum aktivieren der elektrischen routing Layer müssen folgende Schritte durchgeführt werden.

1. Aufruf des Layertabelle (Layer - Spreadsheet)
Klick „view spreadsheet“ () Icon.
2. Auswahl Layers
Die Layertabelle erscheint
3. Auswahl der elektrischen Layers mit gleichzeitigem Aufruf des „Edit“ Dialogs durch „Doppelklick“ in der entsprechenden Zeile.
4. Sicherstellen dass das ausgewählte Layer fürs Routing freigegeben ist. (siehe nachfolgenden Dialog)

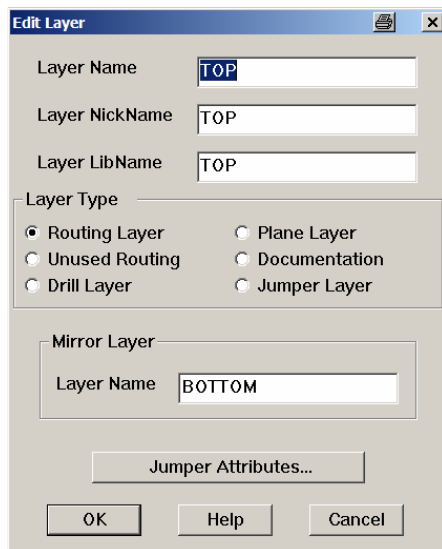


Abbildung 2-1 „Edit Layer“ Dialog Fenster

5. Vorgang wiederholen bis sichergestellt ist dass alle elektrischen Layer freigegeben sind.

2.1.2 Layout „aufräumen“ (cleanup)

Nicht mehr benötigte Footprints, Padstacks und Netze sollten vor der Umsetzung des Layouts nach Allegro PCB Editor gelöscht werden.

Vorgehensweise:

1. Auswahl Auto -> Cleanup Design

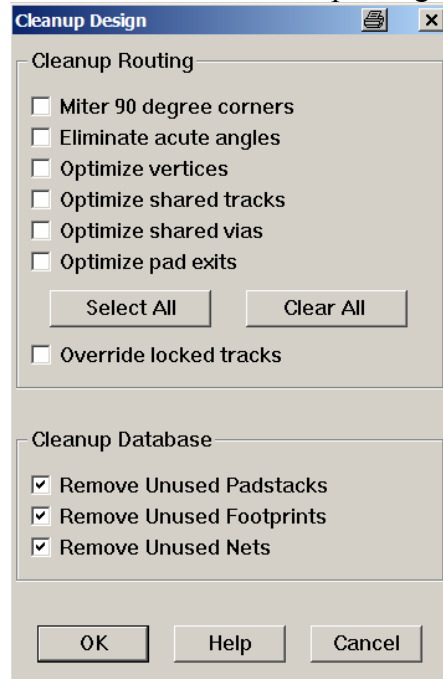


Abbildung 2-2 "Cleanup Design" Dialog Fenster

2. Alle Auswahlboxen unter „Cleanup Routing“ deselektieren.
3. Alle Auswahlboxen unter „Cleanup Database“ selektieren.
4. Auswahl bestätigen und Cleanup Database durch „OK“ ausführen.

Note: Alternativ kann des „Aufräumen“ des Designs durch nachfolgende Schritte erfolgen:

1. Export des Designs als .min Datei
 - a. Auswahl File -> Export -> Min Interchange im „Session Frame“ Fenster.
 - b. Auswahl des Designs (*.max)
 - c. Definieren des Namens der Ausgabe (.min)
 - d. Ausführen durch „Save“
 - e. Im „Options“ Fenster die Option „All of the above“ auswählen.

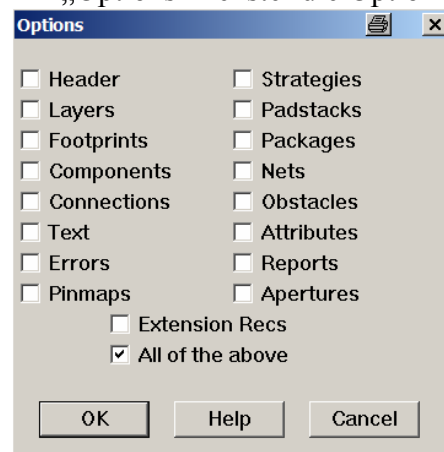


Abbildung 2-3 "Options" Dialog Fenster

- f. Ausführen mit Auswahl von „OK“.
 - g. Ergebnis ebenfalls mit „OK“ bestätigen.
2. Import der *.min Datei
 - a. Auswahl File -> Import -> Min Interchange im „Session Frame“ Fenster
 - b. Auswahl der zu importierenden *.min Datei.
 - c. Definieren des Designnamens (.max)
 - d. Bestätigen der „MIN to MAXExtractor“ Meldung mit „OK“
 3. Überprüfen des Designs durch öffnen der *.max Datei.

2.1.3 Einschränkungen bei der Konvertierung (Sonderzeichen)

Vor dem Umsetzen des OrCAD Layouts nach Allegro PCB Designer muss sichergestellt sein dass keine Sonderzeichen im OrCAD Layout verwendet worden sind.

- Nachfolgende Sonderzeichen sollten nicht im Referenz Designator oder in Symbolnamen verwendet werden:
\$,~,@,#,%,^,&*,(,),-,=,',\,"[,],?/,<,>!,,,,,,{},',`,`+,|,
Bei Verwendung dieser Sonderzeichen kann es zu Problemen bei der Umsetzung kommen.
- Außerdem sollten Namenskonventionen von Microsoft Windows vermieden werden. Beispiele: „Con“, „Nul“, „Aux“, „Prn“ usw. Bei Verwendung solcher Namenskonventionen im Package- Namen kann es passieren dass die für die Umsetzung notwendige Device Dateien (.txt) nicht erzeugt werden können.

2.2 Umsetzung der Bibliotheken

Die Umsetzung der Bibliotheken erfolgt in drei Schritten:

1. Erstellen einer Katalog- Datei von der Layout Bibliothek
2. Umsetzung der Katalog- Datei in das Allegro PCB Editor Format
3. Verwenden der Footprints im Allegro PCB Editor

2.2.1 Erstellen einer Bibliotheks Katalog- Datei aus OrCAD Layout

Bevor die OrCAD Layout Bibliothek in das Allegro PCB Editor Format umgesetzt werden kann, muss aus der Bibliothek eine Katalog- Datei erstellt werden. Bei den Katalog- Dateien handelt es sich OrCAD Layout *.max Dateien die alle Footprints der Bibliothek enthalten. Die Footprints werden in jeder Katalog- Datei sortiert dargestellt. Als OrCAD Layout *.max Dateien können diese einfach bearbeitet, übersetzt, verwaltet und ausgedruckt werden.

Vorgehensweise bei der Erstellung der OrCAD Layout Katalog- Dateien:

1. Auswahl im OrCAD Layout Session Fenster Tools -> Catalog -> Create

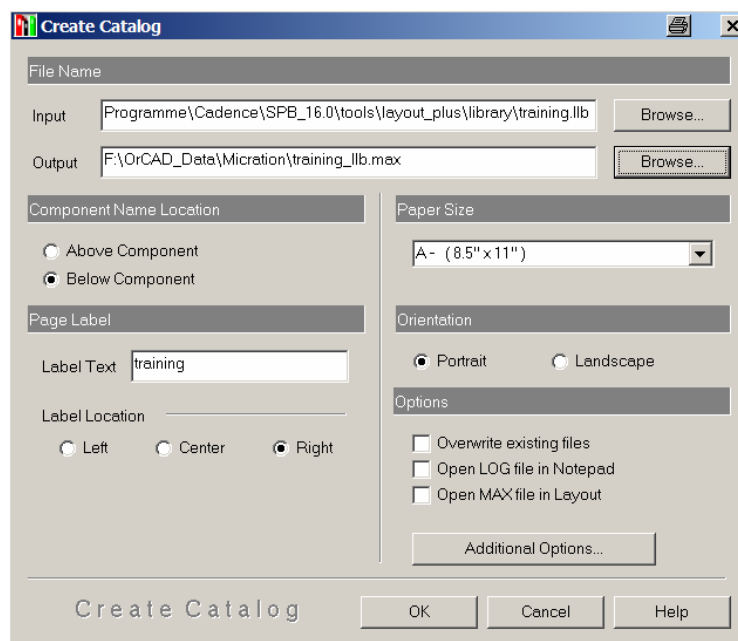


Abbildung 2-4 "Create Catalog" Dialog Fenster

2. Im „Input“ Feld erfolgt die Auswahl der Bibliothek aus der eine Katalog- Datei erstellt werden soll. Erlaubte Dateiendungen sind *.llb für Bibliotheksdatei und *.max für OrCAD Layout Datei.
3. Im „Output“ Feld wird der Ausgabenname und der Ort wo die Katalog- Datei erzeugt wird angegeben.
4. Die weiteren Eingabefelder sind für die Umsetzung in das Allegro PCB Editor Format nicht weiter relevant und müssen nicht weiter bearbeitet werden.

2.2.2 Umsetzung der OrCAD Layout Katalog- Datei

Nach dem Erstellen der Katalog- Datei kann das *.max in das Allegro PCB Editor Format umgesetzt werden.

1. Auswahl aus dem OrCAD Startmenue -> OrCAD PCB Editor Utilities -> OrCAD Layout Translator.

Das Fenster "Layout to PCB Editor" sollte wie nachfolgend dargestellt werden.

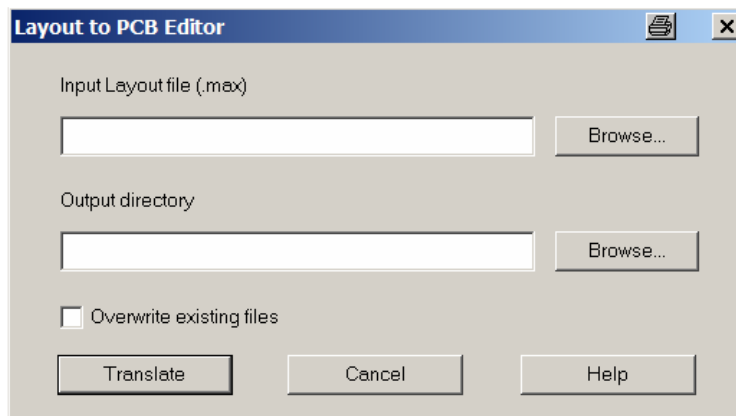


Abbildung 2-5 "Layout to PCB Editor" Dialog Fenster

2. Im "Input Layout file (.may)" Feld erfolgt die Auswahl der OrCAD Layout *.max Datei die beim "Create Catalog" Dialog erstellt worden ist.
3. Im „Output directory“ Feld erfolgt die Auswahl des Verzeichnisses in dem die Allegro Editor Layout Datei *.brd gespeichert werden soll.
4. Ausführen mit „Translate“

Das umgesetzte Allegro PCB Editor Layout Datei wird in dem Verzeichnis angelegt das im „Output directory“ Feld definiert worden ist. In dem Verzeichnis in dem die OrCAD Layout Datei abgelegt ist wird eine Log- Datei mit Informationen angelegt wann die Umsetzung der OrCAD Layout Datei erfolgt ist. Im „Output directory“ wo sich die umgesetzte Allegro PCB Editor Datei befindet, wird eine zusätzliche Log- Datei ausgegeben die weitergehende Informationen zur Umsetzung der OrCAD Layout Datei beinhaltet. Diese Log- Datei wird auch nach dem Beenden der Umsetzung direkt angezeigt.

2.2.3 Verwenden der Footprints im Allegro PCB Editor

Zur weiteren Verwendung der Footprints sollten nachfolgende Schritte zusätzlich durchgeführt werden.

1. Starten Sie dazu nach der Umsetzung den Allegro PCB Editor und öffnen Sie das umgesetzte OrCAD Layout.
2. Auswahl im Allegro PCB Editor, Setup -> Cross-Section.

Das „Layout Cross Section“ Dialog Fenster sollte wie nachfolgend dargestellt werden.

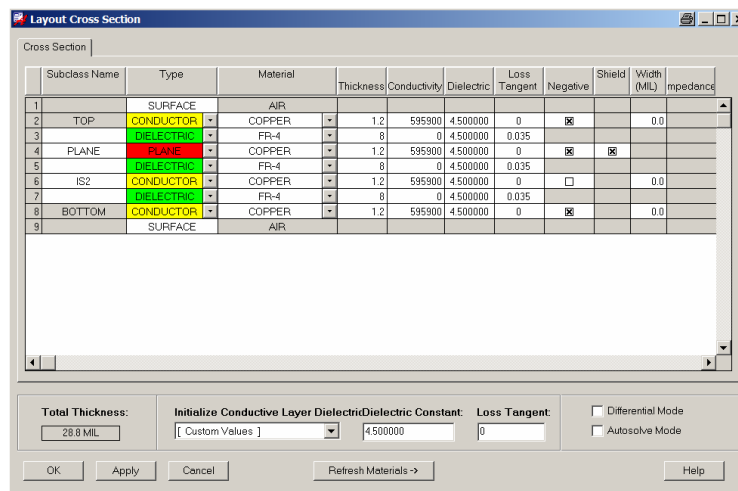


Abbildung 2-6 "Layout Cross Section" Dialog Fenster

3. Die Lagen "PLANE" und "IS2" müssen gelöscht werden. Diese Lagen sind nicht allgemeingültig beschrieben und würden bei Verwendung in neuen Layouts nur zu Problemen führen. Zum Löschen der überflüssigen Lagen ziehen Sie den Mauszeiger über die Zeilennummer in der ersten Spalten, drücken die „Rechte“ Mausetaste und wählen „Remove Layer“
4. Dialog beenden mit „OK“
5. Änderungen im Layout mit „Save“ sichern.
6. Überprüfen Sie die umgesetzten Padstacks und erstellen Sie wenn notwendig neu „Flash“ und „Shape“ Symbole für Ihr Layout.
7. Auswahl im Allegro PCB Editor, Tools -> Padstacks -> Modify Design Padstacks. Wählen Sie den Padstack den Sie überprüfen oder modifizieren möchten im Layout aus. Der Padstack Designer, das Werkzeug zum erstellen neuer bzw. zu ändernde Padstacks wird mit der Definition des ausgewählten Padstacks gestartet.

Das „Padstack Designer“ Dialog Fenster sollte wie nachfolgend dargestellt werden.

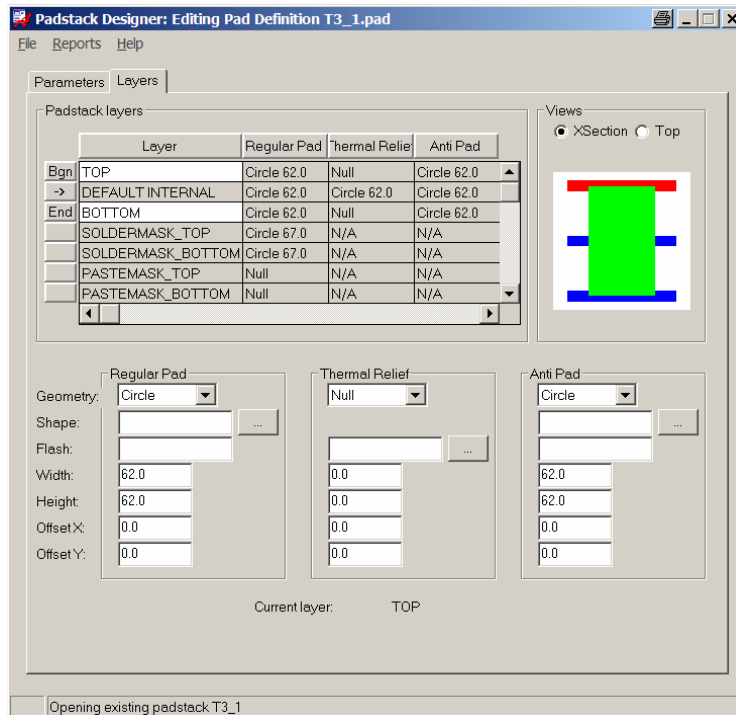


Abbildung 2-7 "Padstack Designer" Dialog Fenster

8. Ändern Sie falls notwendig die bestehenden Einstellungen des Padstacks.
Note: Die Einstellungen für „DEFAULT INTERNAL“ werden von der „TOP“ Lage übernommen. Überprüfen und stellen Sie sicher dass diese Definition für die Innenlagen neuer Allegro Layout richtig ist.
9. Überprüfen Sie nach diesen Änderungen Ihr Layout.
 Auswahl im Allegro PCB Editor, Tools -> Database Check. Mit dieser Auswahl wird das Programm „dbdoctor“ aufgerufen.

Das „DBDoctor“ Dialog Fenster sollte wie nachfolgend dargestellt werden.

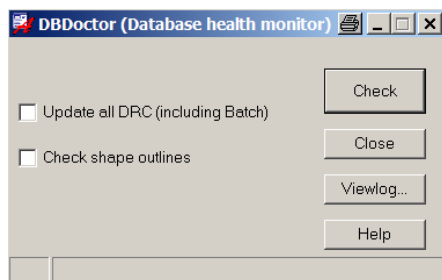


Abbildung 2-8 "DBDoctor" Dialog Fenster

10. Ausführen mit „Check“.
11. Schließen des Dialogs mit „Close“.

12. Erstellen der eigentlichen Allegro PCB Editor Footprint Bibliothek.
Auswahl im Allegro PCB Editor, File -> Export -> Libraries. Damit werden alle Symbole die sich im Layout befinden in ein ausgewähltes Bibliotheksverzeichnis ausgegeben.

Das „Export Libraries“ Dialog Fenster sollte wie nachfolgend dargestellt werden.

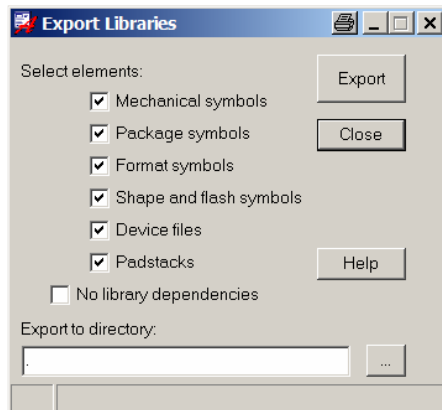


Abbildung 2-9 „Export Libraries“ Dialog Fenster

13. Auswahl der zu exportierenden Symbole unter „select elements“
14. Auswahl des Allegro PCB Editor Bibliotheksverzeichnisses unter „Export to directory“
15. Ausführen mit „Export“
Alle ausgewählten Symbole die sich Layout befinden werden in dem ausgewählten Bibliotheksverzeichnis neu angelegt.

Note: Die Empfehlung von FlowCAD ist generell, dass alle Plane Layer aus OrCAD Layout in Allegro als Positive Planes definiert werden. Das vereinfacht die Konvertierung extrem, da keine Flash-Symbole erstellt werden müssen. Mit Positiven Planes erübrigt sich alles. Die Erstellung von Flash Symbolen wird ausführlich in Kapitel 2.4.3 beschrieben.

2.3 Umsetzung kompletter OrCAD Layouts

Die Umsetzung eines kompletten OrCAD Layouts erfolgt in der gleichen Vorgehensweise wie die Umsetzung von OrCAD Footprint Bibliotheken. Zusätzlich kann bei der Umsetzung die elektrischen Verbindungen überprüft und richtig gestellt werden.

1. Auswahl im Allegro PCB Editor, Tools -> Derive Connectivity
2. Auswahl der Optionen "Convert Lines to Connect Lines" und "Convert Figure Stackups to Vias".

Das „Padstack Designer“ Dialog Fenster sollte wie nachfolgend dargestellt werden.

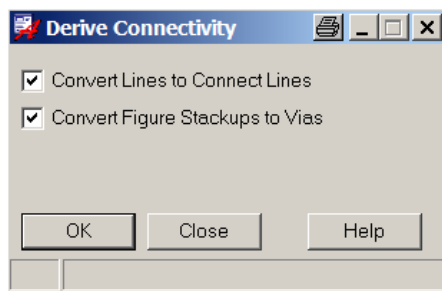


Abbildung 2-10 "Derive Connectivity" Dialog Fenster

3. Ausführen mit „OK“

Das komplette OrCAD Layout sollte nun als Allegro PCB Editor Layout umgesetzt sein.

2.4 Überprüfung der Boarddaten in Allegro PCB Editor

2.4.1 Das Definieren manuelle Ausschnitte (cutouts) in den inneren Kupferlagen

Wenn Ihr Layout thermische Anbindungen (oder Freiblitzungen) auf eine der inneren Kupferlagen innerhalb von Kupferflächen enthält, dann wird diese Ausschnitte nicht umgesetzt. Manuelle Ausschnitte müssen nach der Umsetzung auf den inneren Kupferlagen im Allegro PCB Editor neu definiert werden.

Manuelle Ausschnitte können auf unterschiedlichem Wege im Allegro PCB Editor erzeugt werden:

- Shape -> Manual Void -> Rectangular (Befehl zum erzeugen rechteckiger Ausschnitte),
- Shape -> Manual Void -> Circular (Befehl zum erzeugen runder Ausschnitte),
- Shape -> Manual Void -> polygon (Befehl zum erzeugen von Ausschnitten mit beliebigen Kanten),

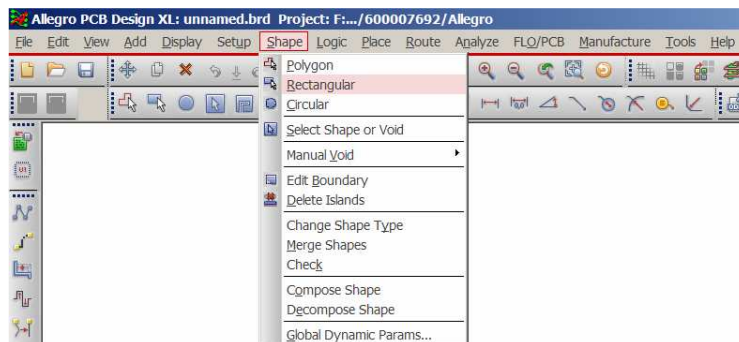


Abbildung 2-11 "Shape Menu" Struktur in Allegro

2.4.2 Löschen von isolierten Kupferflächen

Wenn ein OrCAD Layout nach Allegro PCB Editor umgesetzt wird, müssen isolierte Kupferflächen generell manuell gelöscht werden. Weitergehende Informationen zur Vorgehensweise finden Sie im Allegro PCB Editor unter Shape -> Delete Islands (Befehl zum löschen von isolierten Kupferflächen) oder im Handbuch „Package Physical Layout Command Reference“.

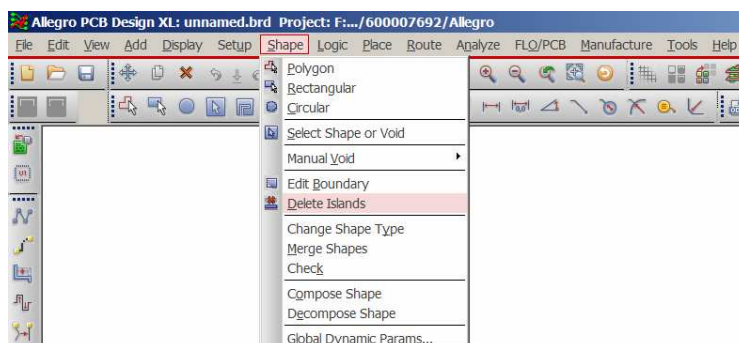


Abbildung 2-12 "Delete Shape" Funktion in Allegro

2.4.3 Definieren von thermischen Flash Symbolen für Padstacks

Note: Die Empfehlung von FlowCAD ist generell, dass alle Plane Layer aus OrCAD Layout in Allegro als Positive Planes definiert werden. Das vereinfacht die Konvertierung extrem, da keine Flash-Symbole erstellt werden müssen. Mit Positiven Planes erübrigt sich alles.

Flash Symbole für thermische Anbindungen innerhalb der Padstacks werden bei der Umsetzung von OrCAD Layout nach Allegro PCB Editor nicht mit übernommen. Die Blitzsymbole für die thermische Anbindung müssen im Allegro PCB Editor neu erzeugt werden.

1. Wählen Sie im Allegro PCB Editor Tools -> Padstack -> Modify Design Padstack.
2. Wählen Sie aus den bestehenden Padstacks den Padstack aus den Sie editieren möchten. Das „Padstack Designer“ Dialog Fenster öffnet sich mit der ausgewählten Definition des Padstacks geladenen Definition.

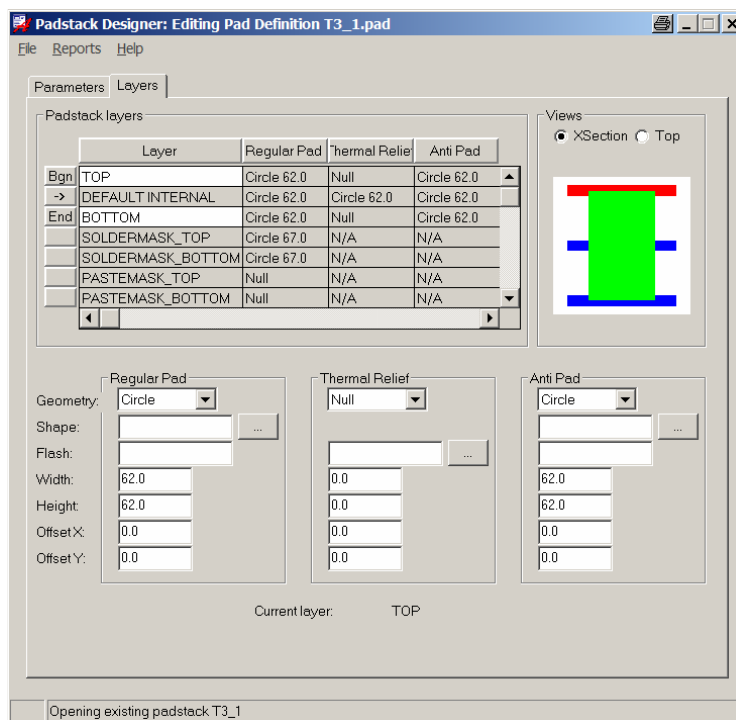


Abbildung 2-13 "Padstack Designer" Dialog Fenster

3. Wählen Sie die zu ändernde Lage aus.
4. Wählen Sie „Flash“ aus der „Thermal Relief“ Box aus.
5. Klicken Sie auf den „Suche“ Knopf. Das „Select Flash Symbol“ Dialog Fenster erscheint.
6. Wählen Sie ein Flash Symbol im Dialog Fenster aus.
7. Um die Änderungen im aktuellen Design zu übernehmen wählen Sie File -> Update To Design.

Note: Die Option „File -> Update To Design“ ist nur verfügbar, wenn Sie den Padstack Editor von einem aktuellen Design aufrufen. Wenn Sie den Padstack Editor als ein eigenständiges Programm aufrufen steht Ihnen diese Option nicht zur Verfügung.

8. Wählen Sie im Allegro PCB Editor im Design Fenster „rechte“ Maustaste -> Quick Utilities -> Design Parameter. Das Design Parameter Editor Dialog Fenster erscheint.
9. Um die thermischen Anbindung anzuzeigen wählen Sie unter „Enhanced Display Mode“ die Option „Thermal pads“ aus.

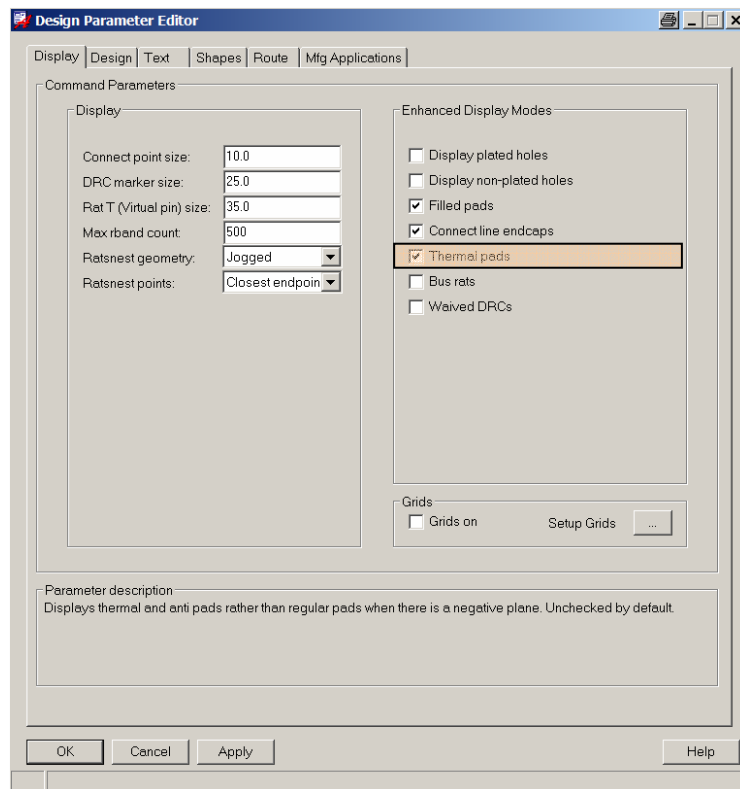


Abbildung 2-14 "Design Parameter" Dialog Fenster

2.4.4 Entfernen von doppelten Vias

Während der Umsetzung werden doppelte Vias aus OrCAD Layout im Allegro PCB Editor beibehalten. Zum automatischen löschen von doppelten Vias wählen Sie im Allegro PCB Editor, Tools -> Database Check (Aufruf des Programms dbdoctor).

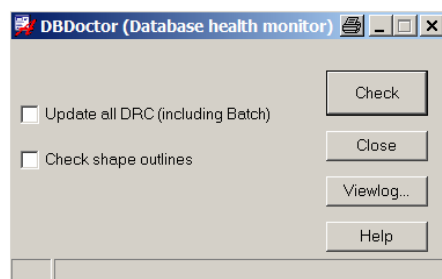


Abbildung 2-15 "DBDoctor" Dialog Fenster

2.4.5 Backannotation von Allegro PCB Editor zu Design Entry CIS.

Während der Umsetzung von OrCAD Layout zum Allegro PCB Editor werden zum Teil die Footprintnamen Aufgrund unterschiedlicher Namenskonventionen geändert. Sie können die Backannotation zur Synchronisierung des Design Entry CIS Stromlaufplans mit dem Allegro PCB Editor Layout verwenden. Die Backannotation stellt sicher dass das physikalische Board mit dem logischen Stromlaufplan übereinstimmt. Wenn Sie Änderungen aus dem übersetzten Allegro PCB Editor Layout in den original Allegro Design Entry CIS backannotieren wollen (gilt ebenso für OrCAD Capture und OrCAD Capture CIS), sollten Sie nachfolgende Vorgehensweise verwenden. Die nachfolgende Vorgehensweise stellt eine manuelle Vorgehensweise dar um die Footprintnamen in Allegro Design Entry CIS mit den Footprintnamen im Allegro PCB Editor zu synchronisieren. In einem späteren Kapitel wird eine komfortablere Methode über eine sogenannte Skill Routine beschrieben. Diese Skill Routine zeigt eine der vielen Möglichkeiten um Arbeitsschritte in Allegro zu automatisieren außerdem soll sie den Umstieg in den Allegro PCB Editor vereinfachen.

Note: Stellen Sie Sicher, dass die „Intertoolkommunikation“ zwischen Allegro PCB Editor und Design Entry CIS richtig arbeitet.

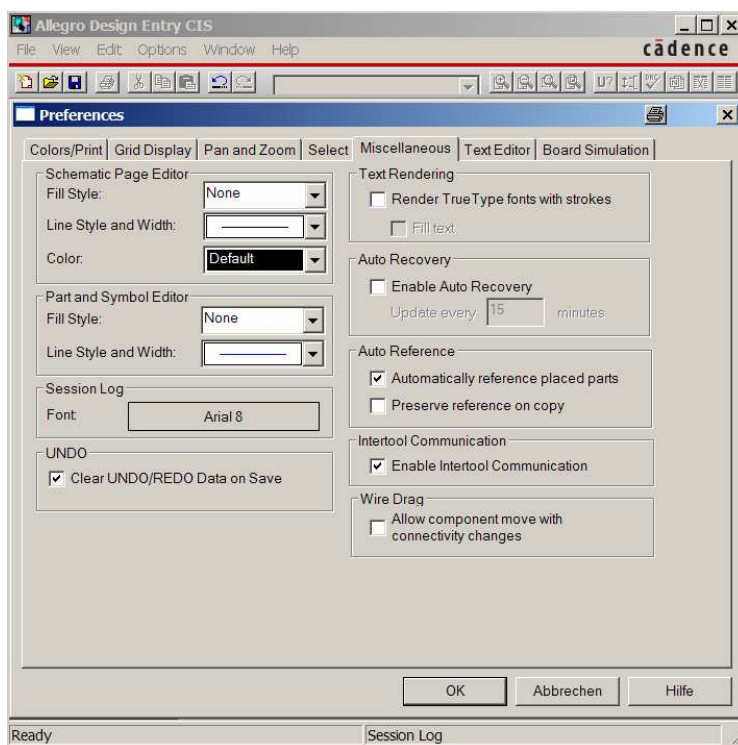


Abbildung 2-16 "Preferences" in OrCAD Design Entry CIS

Note: Stellen Sie sicher, dass Sie eine Sicherungskopie des Stromlaufplanes erstellen bevor Sie die Backannotation vom Allegro PCB Editor zum Allegro Design Entry CIS durchführen.

1. Erstellen Sie eine OrCAD Layout Netzliste (.mnl) im Allegro Design Entry CIS. Für mehr Information, siehe Allegro Design Entry CIS Dokumentation.
2. Verwenden Sie die OrCAD Layout Netzliste um ein OrCAD Layout (.max) zu erstellen.
3. Konvertieren Sie das OrCAD Layout (.max) in das Allegro PCB Editor Format (.brd) unter Verwendung des „Layouts to Allegro PCB Editor“ Konverters.
4. Starten Sie den Allegro PCB Editor und öffnen Sie das übersetzte Allegro PCB Editor Layout (.brd).
5. Erstellen Sie einen Bericht der verwendeten Footprints in Allegro PCB Editor. Auswahl im Allegro PCB Editor, Tools -> Reports. Das Berichts Dialog Fenster erscheint.

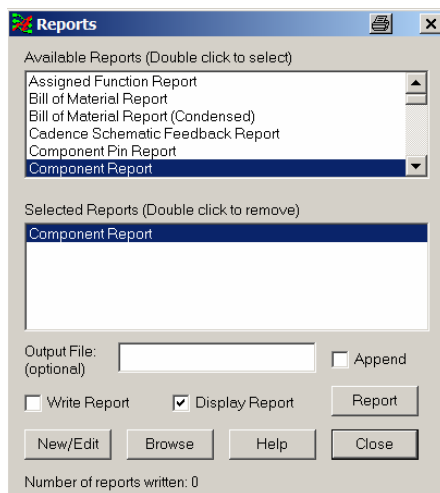


Abbildung 2-17 "Report" Dialog Fenster in Allegro

6. Wählen Sie in der Liste der verfügbaren Berichte den „Component Report“ aus.
7. Zum Erstellen des Berichts muss dieser zusätzlich in der Liste der „Selected Report“ ausgewählt werden.
8. Ausführen mit „Report“
Der „Component Report“ wird angezeigt.
9. Suchen Sie im Bericht die Spalte „COMP_PACKAGE“.
10. Bei Änderungen des Footprintnamens im konvertiertem Allegro PCB Editor Layout, kopieren Sie den Footprintnamen aus dem Bericht und fügen Sie diesen zur Footprintbeschreibung im „Property Editor“ vom Allegro Design Entry CIS hinzu.
11. Erstellen Sie im Allegro Design Entry CIS neue Allegro PCB Entry Netzlisten. Die folgenden Netzlisten Dateien werden dabei erzeugt: PSTCHIP.DAT, PSTXNET.DAT, und PSTXRPT.DAT.
12. Starten Sie den Allegro PCB Editor (wenn nicht bereits gestartet).

13. Wählen Sie im Allegro PCB Editor File -> Export -> Logic.
Das Export Logic Dialog Fenster erscheint.

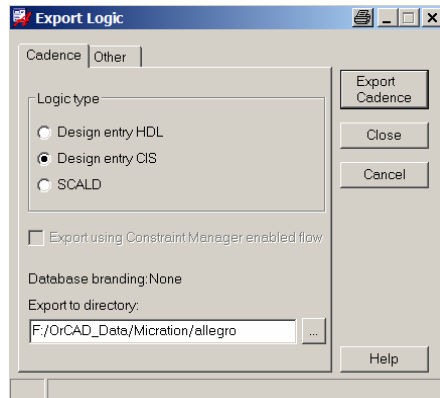


Abbildung 2-18 "Export Logic" Dialog Fenster

14. Wählen Sie unter „Logic type“ die Design Entry CIS Option.
15. Wählen Sie das entsprechende Verzeichnis für die Allegro PCB Editor Netzliste.
16. Ausführen mit „Export Cadence“.
17. Sichern Sie Ihr Allegro PCB Editor Layout.
18. Verwenden Sie Allegro Design Entry CIS für die Backannotation der Änderungen aus dem übersetzten Allegro PCB Editor. Alle Eigenschaften, wie PINSWAP und GATESWAP, werden in Ihrem Stromlaufplan im Allegro Design Entry CIS aktualisiert.

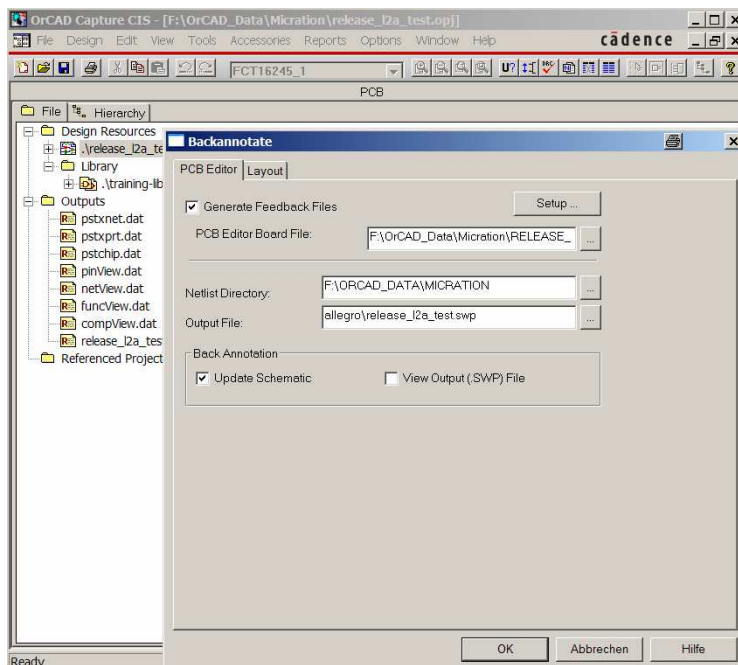


Abbildung 2-19 "Backannotation" Dialog Fenster

2.4.6 Pin-Nummern Sichtbarkeit im Allegro PCB Editor Layout

Nach der Konvertierung sind die Pin-Nummern im konvertiertem Allegro PCB Editor Layout nicht sichtbar. Sie müssen die Pin-Nummern manuell sichtbar machen.

1. Auswahl im Allegro PCB Editor. File -> Export -> Libraries.
2. Auswahl der zu exportierenden Symbole unter „select elements“.

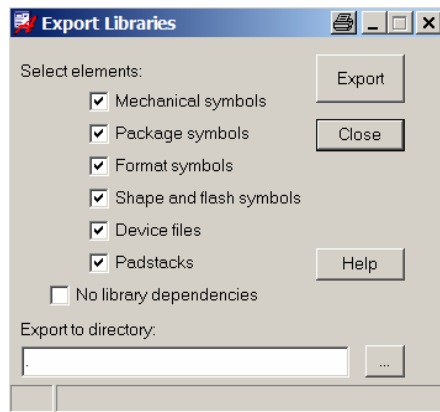


Abbildung 2-20 "Export Libraries" Dialog Fenster

3. Auswahl des Allegro PCB Editor Bibliotheksverzeichnis unter „Export to directory“
4. Ausführen mit „Export“
Alle ausgewählten Symbole die sich Layout befinden werden in dem ausgewählten Bibliotheksverzeichnis neu angelegt.
5. Wählen Sie im Allegro PCB Editor. Setup -> User Preferences.
Das User Preferences Dialog Fenster erscheint.

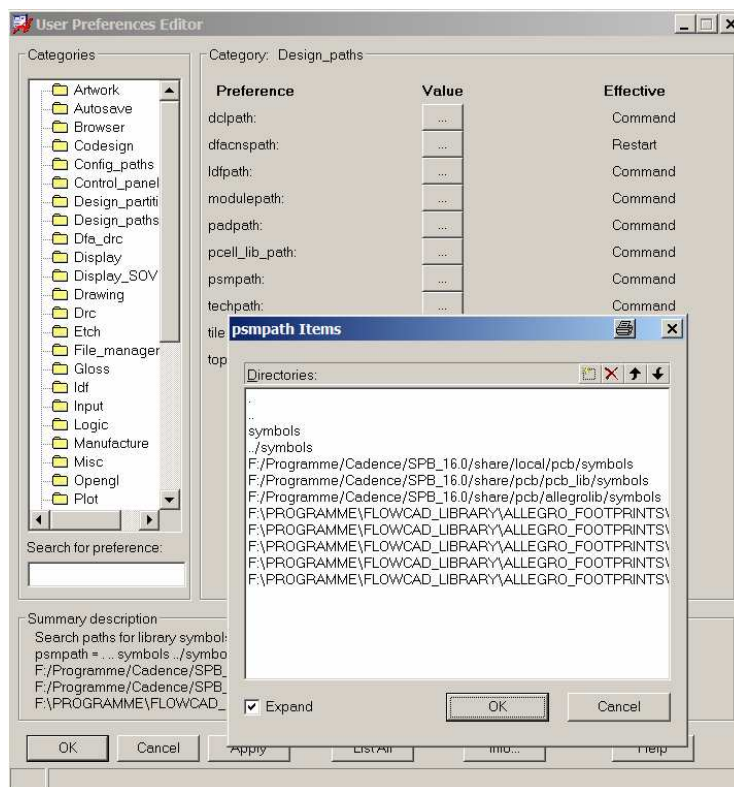


Abbildung 2-21 "User Preference Editor" Dialog Fenster

6. Wählen Sie die Design_path Kategorie aus der Kategorie-Liste.
7. Ändern Sie gegebenenfalls den Pfad für padpath und psmppath in den Umgebungsvariablen, zu dem „aktuellen“ Allegro PCB Editor Bibliotheksverzeichnis.
8. Auswahl im Allegro PCB Editor. Place -> Update Symbols.
Das Update Symbols Dialog Fenster erscheint.

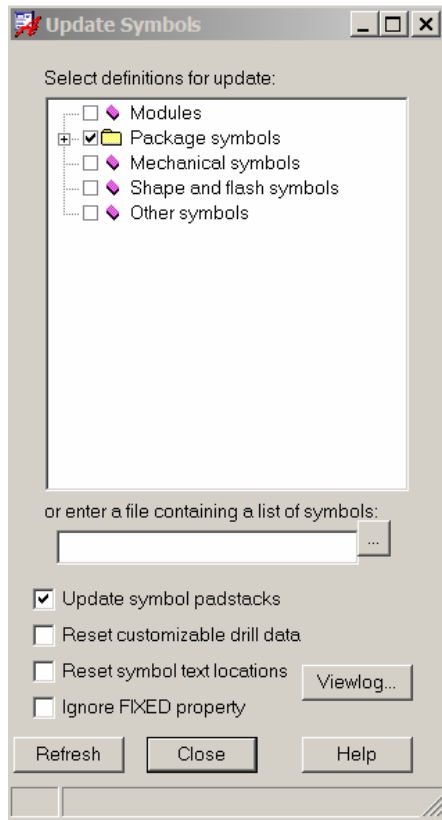


Abbildung 2-22 "Update Symbols" Dialog Fenster

9. Wählen Sie in der „Select definitions for update“ Liste die Option „Package Symbols“.
10. Wählen Sie die Option „Update symbol padstacks“
11. Ausführen mit „Refresh“
Das Design wird aktualisiert, und die Pin-Nummerierung ist sichtbar.
12. Zum Beenden des Update Symbols Dialogs klicken Sie „Close“

2.4.7 Grid Einstellungen ändern

Grid Einstellungen für das Routing und Platzierung werden bei der Konvertierung nicht mit umgesetzt im Allegro PCB Editor. Die Einstellungen für das Routing müssen manuell durchgeführt werden.

1. Auswahl im Allegro PCB Editor. Setup -> Grids...
Das Define Grid Dialog Fenster erscheint.

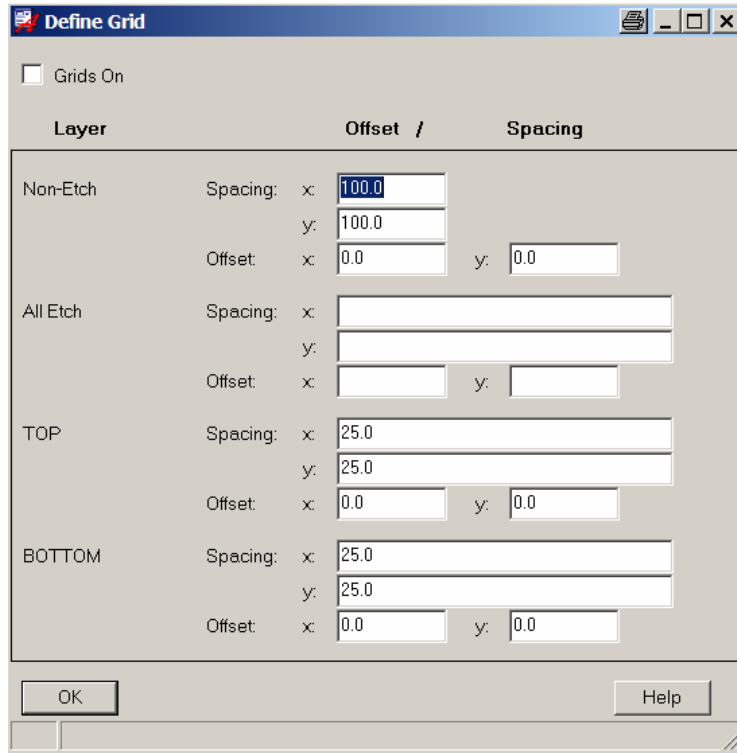


Abbildung 2-23 "Define Grid" Dialog Fenster

2. Ändern Sie wie gewünscht die „non etch“ und „etch grid“ Einstellungen im Dialog Fenster.
3. Ausführen und übernehmen der Einstellungen mit „OK“.

2.4.8 Definieren von Abstandsregeln der elektrischen Netzen

Die Abstandsregeln die für besondere Netze in OrCAD Layout definiert wurden, werden nicht in das umgesetzte Allegro PCB Editor Layout übertragen. Diese müssen im übersetzten Allegro PCB Editor Layout nochmals manuell definiert werden. Die globalen Abstandsregeln wie „Track to Track“, „Via to Via“, „Pin to Pin“ oder „Pin to Line“ werden aus OrCAD Layout direkt im umgesetzten Allegro PCB Editor Layout übernommen. Die Einstellung der Abstandsregeln für besondere Netze erfolgt im Allegro PCB Editor unter Setup -> Constrains -> Spacings. Für weitere Details bezüglich dem „Constraint Manager“, siehe „Constraint Manager User Guide“.

2.4.9 Löschen von überflüssigen „Ratsnests“ (Verbindungslinien)

1. Auswahl im Allegro PCB Editor, Tools -> Derive Connectivity
2. Auswahl der Optionen „Convert Lines to Connect Lines“ und „Convert Figure Stackups to Vias“. Das „Padstack Designer“ Dialog Fenster sollte wie nachfolgend dargestellt werden.

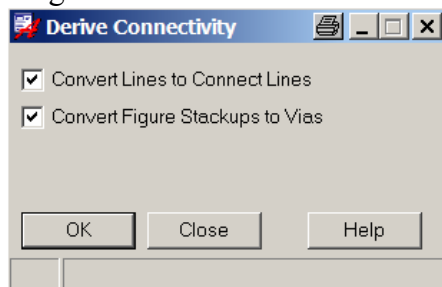


Abbildung 2-24 "Derive Connectivity" Dialog Fenster

3. Ausführen mit „OK“
Die überflüssigen Verbindungslinien werden von Ihrem Design entfernt.

2.4.10 Einschränkungen für Netze bei den elektrischen Lagen

Einstellungen, Einschränkungen für einzelne Netze bezüglich den elektrischen Lagen in OrCAD Layout werden nicht in den Allegro PCB Editor übernommen. Voreinstellungen wie zum Beispiel ein Netz A1 darf nur auf Top und Bottom verlegt werden, werden nicht im Allegro PCB Editor übernommen. Die Einstellung für diese besondere Netze erfolgt im Allegro PCB Editor unter Setup -> Constrains -> Spacings. Für weitere Details bezüglich dem „Constraint Manager“, siehe „Constraint Manager User Guide“.

2.4.11 Bereinigung von „Pin to Pin“ Abstandsfehler

1. Auswahl im Allegro PCB Editor, Tools -> Padstacks -> Modify Design Padstacks.
2. Wählen Sie den Padstack den Sie überprüfen oder modifizieren möchten im Layout aus. Der Padstack Designer, das Werkzeug zum erstellen neuer bzw. zu ändernde Padstacks wird mit der Definition des ausgewählten Padstacks gestartet.

Das „Padstack Designer“ Dialog Fenster sollte wie nachfolgend dargestellt werden.

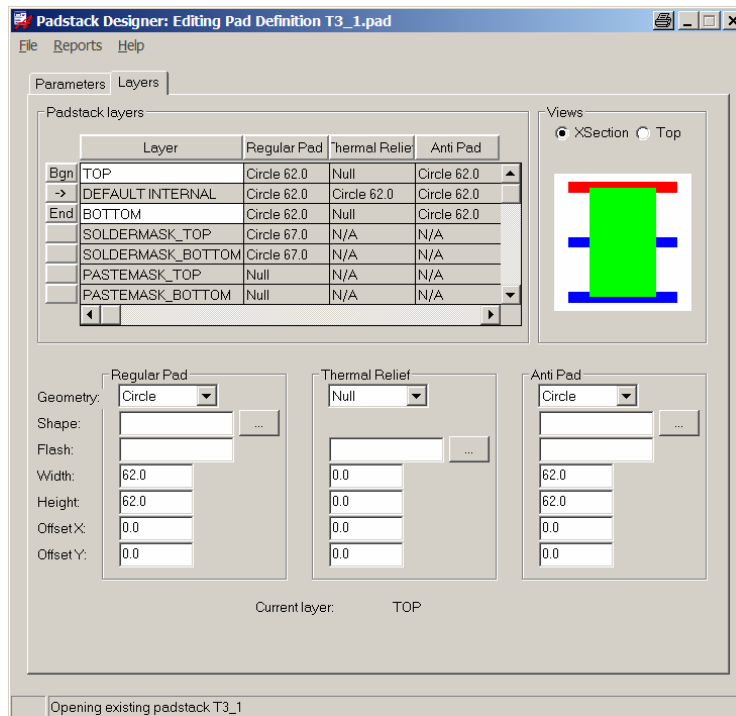


Abbildung 2-25 "Padstack Designer" Dialog Fenster

3. Wählen Sie die zu ändernde Lage aus.
4. Tragen Sie unter „Regular Pad“ dieselbe Padstack Breite ein wie im „Width“ Textfeld angezeigt
5. Wählen Sie File – Update To Design um die Änderungen im Padstack im Layout zu übernehmen.
6. Über diesen Weg sollten alle „Pin to Pin“ Abstandsfehler behoben werden.

Note: Die Aktualisierung zur Designauswahl (File – Update To Design) ist nur verfügbar, wenn Sie den Padstack Editor von einem bestehenden Layout aufrufen.

2.4.12 Anpassen der Padgrößen im Allegro PCB Editor

1. Auswahl im Allegro PCB Editor, Tools -> Padstacks -> Modify Design Padstacks.
2. Wählen Sie den Padstack den Sie überprüfen oder modifizieren möchten im Layout aus. Der Padstack Designer, das Werkzeug zum erstellen neuer bzw. zu ändernde Padstacks wird mit der Definition des ausgewählten Padstacks gestartet.
Das „Padstack Designer“ Dialog Fenster sollte wie nachfolgend dargestellt werden.

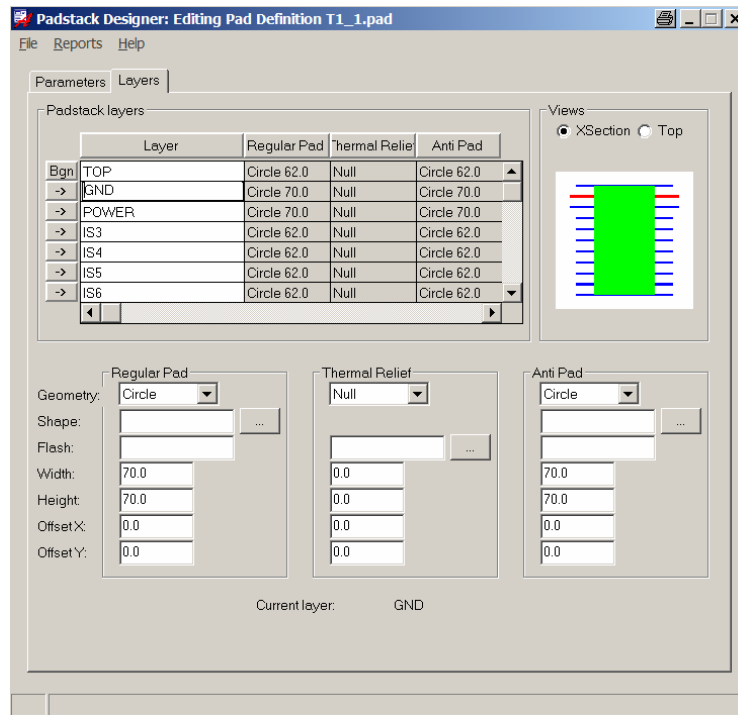


Abbildung 2-26 "Padstack Designer" Dialog Fenster

3. Wählen Sie die Stromversorgungslagen (Planelayer GND und POWER).
4. Tragen Sie unter „Regular Pad“ dieselbe Padstack Breite ein wie im „Width“ Textfeld angezeigt.
5. Wählen Sie File – Update To Design um die Änderungen im Padstack im Layout zu übernehmen.

Note: Die Aktualisierung zur Designauswahl (File – Update To Design) ist nur verfügbar, wenn Sie den Padstack Editor von einem bestehenden Layout aufrufen.

2.5 Synchronisierung von OrCAD Capture mit dem neuem Allegro PCB Editor Boarddaten.

Wie im Kapitel 2.4.5 bereits erwähnt werden während der Umsetzung von OrCAD Layout zum Allegro PCB Editor zum Teil die Footprintnamen Aufgrund unterschiedlicher Namenskonventionen geändert. In Allegro PCB Editor besteht die Möglichkeit mittels Skill Routinen immer wieder vorkommende Arbeitsschritte zu automatisieren. Um die vielen manuellen Arbeitsschritte für die Synchronisierung von OrCAD Design Entry CIS mit dem umgesetzten Allegro PCB Editor Layout zu vereinfachen, bieten wir von FlowCAD eine spezielle Skill Routine an. Diese Skill Routine erzeugt eine Datei mit den notwendigen Footprintnamen, die wie eine gewöhnliche „Swap“ – Datei mittels der Backannotation in OrCAD Design Entry CIS eingelesen werden kann. Während der Backannotation werden alle Footprintnamen in OrCAD Design Entry CIS mit den Footprintnamen aus Allegro PCB Editor abgeglichen.

2.5.1 Notwendige Vorkenntnisse

Mit der Installation von Allegro PCB Editor muss das Arbeitsumgebung für Allegro festgelegt werden. Unter anderem wird dabei die System- bzw. Umgebungsvariable %HOME% definiert. Diese Umgebungsvariable zeigt auf einen Bereich in dem der Anwender seine eigenen Definitionen für Allegro abspeichern kann. Unter der Verzeichnisstruktur die über die Umgebungsvariable %HOME% definiert ist befindet sich immer ein Unterverzeichnis „pcbenv“. Wenn dieses Verzeichnis nicht vorhanden ist kann bzw. muss es neu angelegt werden. Eine weitere Möglichkeit die Lage des „pcbenv“ Verzeichnisses zu definieren ist die Möglichkeit eine zusätzliche Umgebungsvariable %ALLEGRO_PCBENV% zu definieren. Diese Umgebungsvariable überschreibt die %HOME% Variable.

Im „pcbenv“ Verzeichnis befinden sich die Dateien „env“ und „allegro.ilinit“.

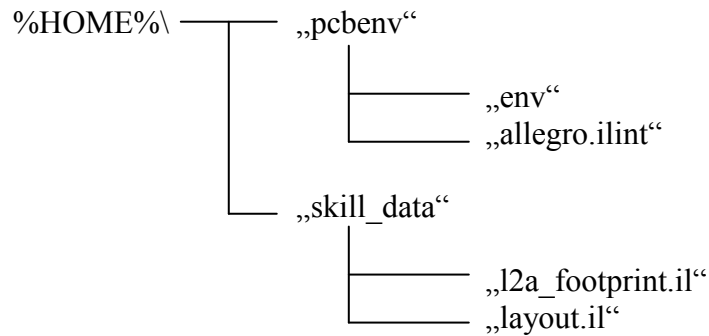
1. Die Datei „env“ beinhaltet eine Beschreibung der individuellen Anwender Definitionen wie z.B. die Beschreibung der „Short Keys“, Bibliothekspfade, aktuelle Projekt usw.... Die „env“ Datei wird bei jedem Start von Allegro PCB Editor gelesen.
2. Die Datei „allegro.ilinit“ beinhaltet zusätzliche Informationen zu sogenannten „Skill“ Routinen die beim Start von Allegro PCB Editor bereits bekannt gegeben werden.

Beide Dateien sind ASCII Dateien und können mit jedem einfachen Texteditor angezeigt und bearbeitet werden. Die notwendige „Skill“ Routine die für die Anpassung der „Short Keys“ notwendig ist, liegt laut Definition im Verzeichnis „skill_data“ Dieser Pfad kann jederzeit in der Datei „allegro.ilinit“ angepasst werden.

Verfügbare „Skill“ Routinen sind aktuell „l2a_footprint.il“ und „layout.il“.

- | | |
|--------------------|--|
| „l2a_footprint.il“ | - „Skill“ Routine zum Erzeugen der Allegro Design Enty CIS Backannotation Datei mit den geänderten Footprintnamen. |
| „layout.il“ | - „Skill“ Routine mit der Definition der „Short Keys“ |

2.5.2 Verzeichnisstruktur:



2.5.3 Backannotation von Footprintdaten mittels Skill Routine

Die Skill Routine wird über die Kommandozeile aufgerufen.
Name bzw. Aufrufname der Skill Routine = „l2a“

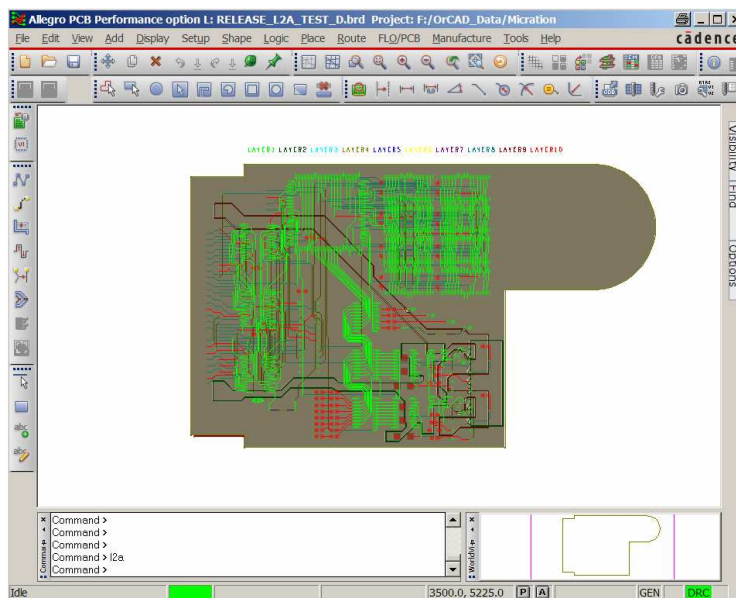


Abbildung 2-27 "Aufruf der Skill Routine l2a aus der Kommandozeile"

Nach dem Aufruf der Skill Routine wird automatisch die Backannotation Datei erzeugt und angezeigt.

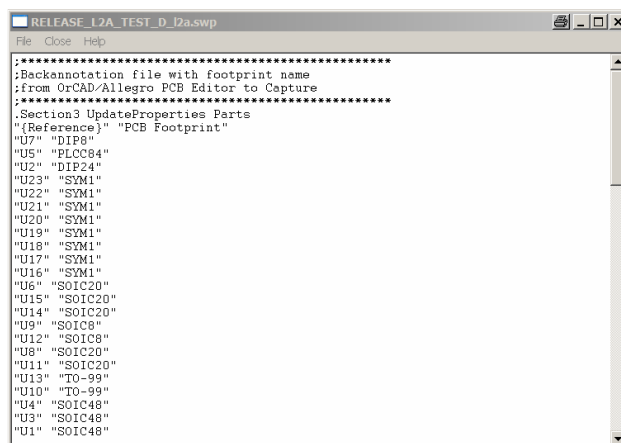


Abbildung 2-28 "Ergebnisausgabe der Skill Routine l2a"

Nach dem Erstellen der „Swap“ Datei in Allegro PCB Editor kann diese direkt in OrCAD Design Entry CIS eingelesen werden.

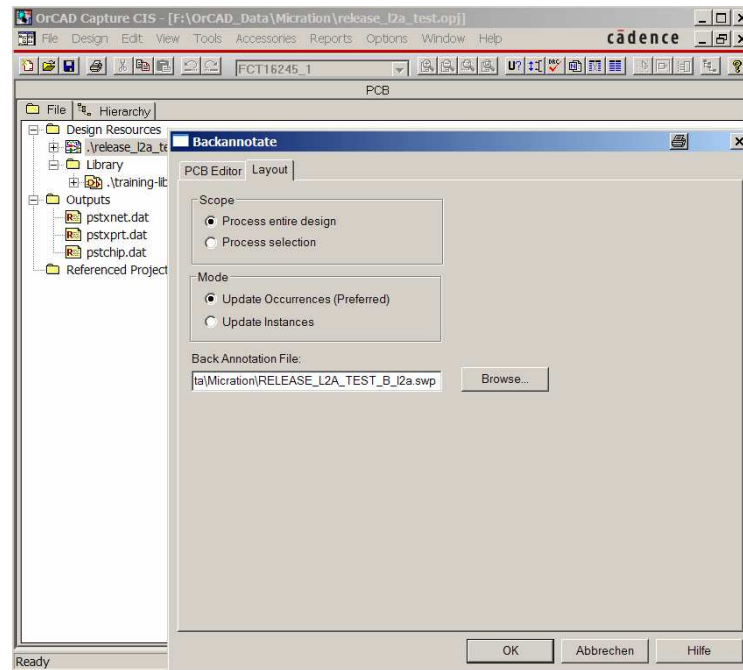


Abbildung 2-29 "Aufruf der Backannotation in OrCAD Design Entry CIS"

Nach der Backannotation enthalten alle Symbole in OrCAD Design Entry CIS die geänderten Footprintnamen aus Allegro PCB Editor.

Nach der Backannotation der Footprintnamen können alle Änderungen aus Allegro PCB Editor wie bereits unter 2.4.5 beschrieben mit OrCAD Design Entry CIS synchronisiert werden.

Wählen Sie dazu im Allegro PCB Editor File -> Export -> Logic. Das Export Logic Dialog Fenster erscheint.

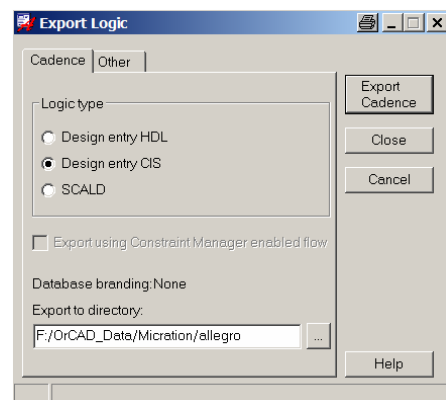


Abbildung 2-30 "Export Logic" Dialog Fenster

Wählen Sie unter „Logic type“ die Design Entry CIS Option.
Wählen Sie das entsprechende Verzeichnis für die Allegro PCB Editor Netzliste.
Ausführen mit „Export Cadence“.

Sichern Sie Ihr Allegro PCB Editor Layout.

Verwenden Sie Allegro Design Entry CIS für die Backannotation der Änderungen aus dem übersetzten Allegro PCB Editor. Alle Eigenschaften, wie PINSWAP und GATESWAP, werden in Ihrem Stromlaufplan im Allegro Design Entry CIS aktualisiert.

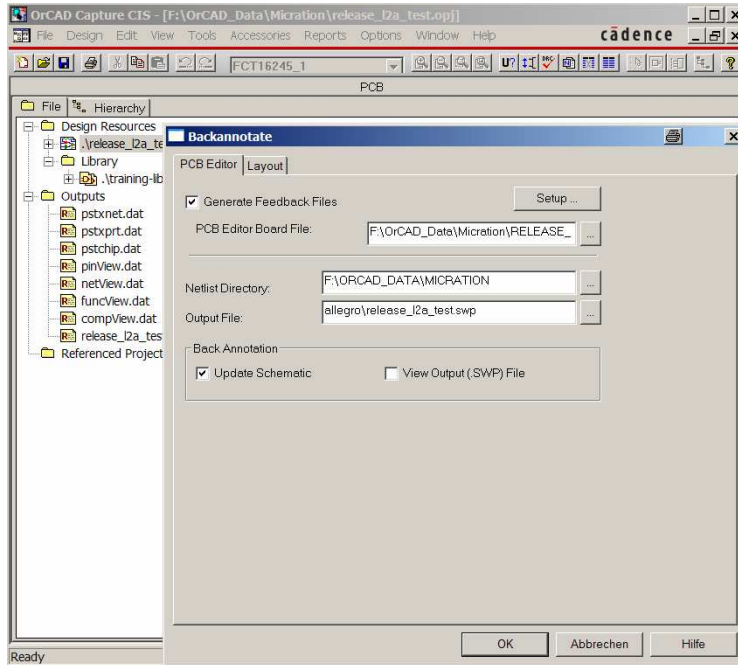


Abbildung 2-31 "Backannotation" Dialog Fenster

3) Anhang

Allegro PCB Editor kann sehr stark auf Anwenderwünsche angepasst werden. Um den Umstieg von OrCAD Layout nach Allegro PCB Editor so einfach wie möglich zu gestalten haben wir von FlowCAD versucht die „Short Keys“ in Allegro PCB Editor an OrCAD Layout anzupassen. Dabei handelt es sich um eine willkürliche Zusammenstellung von „Short Keys“ die jederzeit wieder geändert und angepasst werden kann.

3.1 OrCAD Layout “Short Keys” in Allegro PCB Editor

Mode	Function	Short- Key
Display Layer	All Signal Layer on/off	0
Display Layer	Signal Top on/off	1
Display Layer	Signal Bottom on/off	2
Display Layer	Signal Layer 2 on/off	3
Display Layer	Signal Layer 3 on/off	4
Display Layer	Signal Layer 4 on/off	5
Display Layer	Signal Layer 5 on/off	6
Display Layer	Signal Layer 6 on/off	7
Display Layer	Signal Layer 7 on/off	8
Display Layer	Signal Layer 8 on/off	9
Display Layer	Signal Layer 9 on/off	Ctrl+0
Display Layer	Signal Layer 10 on/off	Ctrl+1
Display Layer	Signal Layer 11 on/off	Ctrl+2
Display Layer	Signal Layer 12 on/off	Ctrl+3
Display Layer	Signal Layer 13 on/off	Ctrl+4
Display Layer	Signal Layer 14 on/off	Ctrl+5
Display Layer	SolderMask Top on/off	Ctrl+6
Display Layer	SolderMask Bottom on/off	Ctrl+7
Display Layer	PasteMask Top on/off	Ctrl+8
Display Layer	PasteMask Bottom on/off	Ctrl+9
Display Layer	Silkscreen Layer Top on/off	Alt Gr+0
Display Layer	Silkscreen Layer Bottom on/off	Alt Gr+1
Display Layer	Assembly Layer Top on/off	Alt Gr+2
Display Layer	Assembly Layer Bottom on/off	Alt Gr+3

Mode	Function	Short- Key
Display Layer	Drill Layer on/off	Alt Gr+4
Display Layer	Testpoint Layer Top on/off	Alt Gr+5
Display Layer	Testpoint Layer Bottom on/off	Alt Gr+6
Display Layer	Dimension Layer on/off	Alt Gr+7
Display Layer	Drawing Layer on/off	Alt Gr+8
Zoom	zoom in	i
Zoom	zoom out	o
Zoom	zoom mouse pick to center point	z
Zoom	zoom fit (PCB)	F
Edit	undo	Ctrl+z
Edit	undo	U
Edit	show element	Q
Edit	highlight object	H
Edit	dehighlight object	Shift+J
Routing	add connect	W
Routing	slide Connect	Alt Gr+s
-> Routing	toggle Hug preferred/Shove preferred mode	S
-> Routing	toggle direction 90/45/off	D
Routing	change layer	+
Routing	change layer	-
Routing	change layer	Space
Routing	cancel	Esc
Routing	toggle edit mode	E
Routing Grid	toggle grid on/off	g
Display Routing	toggle shadow on/off	S
Display Routing	airlines (rat) on/off	A

Mode	Function	Short- Key
Placement	place manual by window	Shift+P
Placement	place manual / move	P
-> Placement	rotate 90°	R
-> Placement	mirror	M
Testpoints	add testpoints manual	Shift+T
Query	display measure (pick/pick)	,
DRC	update DRC	.
Editor	OrCAD PCB - Constraints Manager	c
Editor	Layout Cross Section (define Layerstack)	l
Editor	Status Manager	v
Editor	Design Parameter Editor	b
Editor	User Parameter Editor	n
Edit	Pick Grid	x
Edit	Pick Grid	y

4) Abbildungsverzeichniss

Abbildung 2-1 „Edit Layer“ Dialog Fenster	2
Abbildung 2-2 “Cleanup Design” Dialog Fenster	3
Abbildung 2-3 “Options” Dialog Fenster	3
Abbildung 2-4 "Create Catalog" Dialog Fenster	5
Abbildung 2-5 "Layout to PCB Editor" Dialog Fenster	6
Abbildung 2-6 "Layout Cross Section" Dialog Fenster	7
Abbildung 2-7 "Padstack Designer" Dialog Fenster.....	8
Abbildung 2-8 "DBDoctor" Dialog Fenster.....	8
Abbildung 2-9 „Export Libraries“ Dialog Fenster.....	9
Abbildung 2-10 "Derive Connectivity" Dialog Fenster.....	10
Abbildung 2-11 "Shape Menu“ Struktur in Allegro	11
Abbildung 2-12 "Delete Shape" Funktion in Allegro	11
Abbildung 2-13 "Padstack Designer" Dialog Fenster.....	12
Abbildung 2-14 "Design Parameter" Dialog Fenster.....	13
Abbildung 2-15 "DBDoctor" Dialog Fenster	13
Abbildung 2-16 "Preferences" in OrCAD Design Entry CIS	14
Abbildung 2-17 "Report" Dialog Fenster in Allegro	15
Abbildung 2-18 "Export Logic" Dialog Fenster	16
Abbildung 2-19 "Backannotation" Dialog Fenster	16
Abbildung 2-20 "Export Libraries" Dialog Fenster	17
Abbildung 2-21 "User Preference Editor" Dialog Fenster.....	17
Abbildung 2-22 "Update Symbols" Dialog Fenster.....	18
Abbildung 2-23 "Define Grid" Dialog Fenster	19
Abbildung 2-24 "Derive Connectivity" Dialog Fenster.....	20
Abbildung 2-25 "Padstack Designer" Dialog Fenster.....	21
Abbildung 2-26 "Padstack Designer" Dialog Fenster.....	22
Abbildung 2-27 "Aufruf der Skill Routine l2a aus der Kommandozeile"	24
Abbildung 2-28 "Ergebnisabgabe der Skill Routine l2a"	24
Abbildung 2-29 "Aufruf der Backannotation in OrCAD Design Entry CIS"	25
Abbildung 2-30 "Export Logic" Dialog Fenster	25
Abbildung 2-31 "Backannotation" Dialog Fenster	26