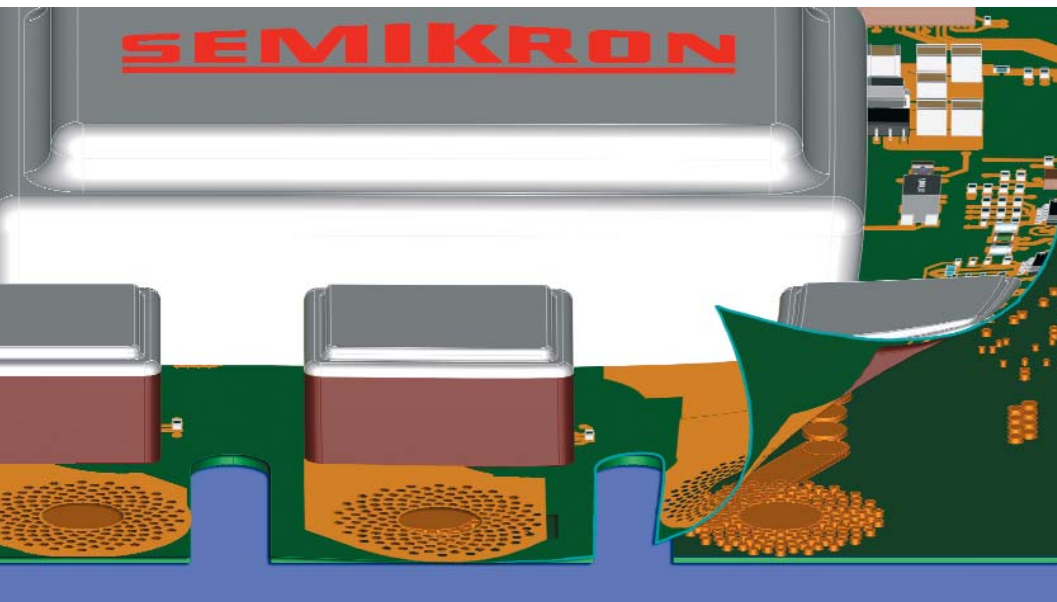


# Fine-Pitch und hohe Ströme



## Die Kunst, hohe Ströme auf SMT-Leiterplatten zu leiten

In Schaltnetzteilen oder anderen Schaltungen der Leistungselektronik kommt vermehrt die Anforderung, für die Steuer- und Regelschaltung kleine, moderne SMT-Bauteile einzusetzen. Aber gleichzeitig müssen hohe Ströme – z.B. bis zu 125 A – über dieselbe Leiterplatte fließen. Dies stellt Entwickler vor die Herausforderung, für die Konstruktion und das Layout der Leiterplatte einen sinnvollen und kostengünstigen Kompromiss zu finden.

Von Peter Mauer und Dirk Müller

Leiterplatten in der Leistungselektronik haben technische Anforderungen an die Entwickler, die zu besonders kreativen Kompromissen führen. Die Anforderungen der Schaltungsblöcke – Leistungsblock hier, Steuer- und Regelungsblock da – stehen im Widerspruch: zum einen dicke Anschlüsse und Leiterbahnen, zum anderen SMDs mit feinen Leiterbahnen. Die sensiblen Regelkreise sollen nämlich meist mit kostengünstigen SMT-Bauteilen ausgeführt werden. Dies erfordert Fine-Pitch-Strukturen für die Leitungen und Anschlussflächen der Bauteile, wie z.B. Mikrocontroller und FPGAs. Die feinen SMT-Strukturen sind mittlerweile für

die meisten Leiterplattenhersteller kein Fertigungsproblem mehr – bei Kupferdicken der Signallagen von 35  $\mu\text{m}$ . Um aber hohe Ströme von mehreren Ampere mit 35  $\mu\text{m}$  Kupferdicke umzusetzen, wären extrem breite Leiterbahnen bzw. Kupferflächen erforderlich, um die Erwärmung infolge der vom Leiterbahnwiderstand verursachten Verlustleistung in Grenzen zu halten.

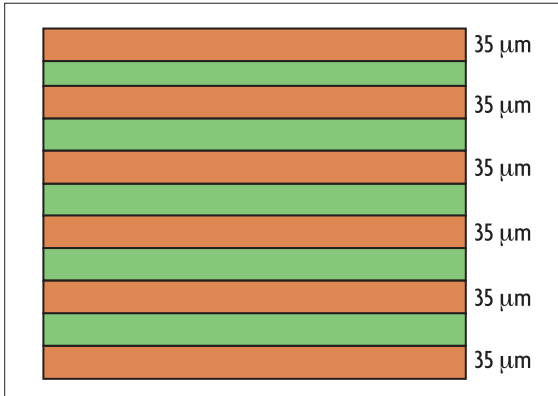
Bei solchen extremen Leiterbahnbreiten steht der Leiterplatten-Designer schnell vor einer Reihe unlösbarer Probleme, wenn es darum geht, die geforderten Sicherheitsabstände einzuhalten, die Leiterplatte aber auch noch eine kleine Bauform haben und die Anzahl der Lagen aus Kostengrün-

den so gering wie möglich sein soll. Somit scheidet die reine 35- $\mu\text{m}$ -Standardleiterplatte (Bild 1) meist aus, und es wird nach Alternativen gesucht. Die Kompromisse, die sich hier anbieten, sind Leiterplatten mit Dickkupfer oder mit Drahtschreibetechnik.

## ■ Dickes Kupfer im Lagenaufbau

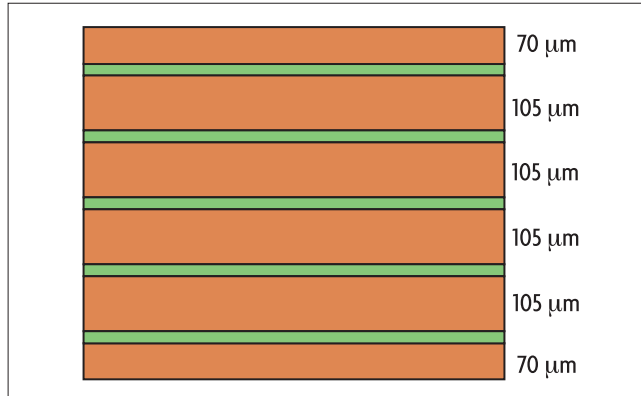
Um die Breite der einzelnen Hochstrom-Leiterbahnen auf ein sinnvolles Maß zu reduzieren, muss bei gleichem Leitungsquerschnitt die Kupferdicke und damit der Lagenaufbau der Leiterplatte geändert werden. Wenn beispielsweise die Dicke der äußeren Kupferlagen auf 70  $\mu\text{m}$  und die der Innenlagen auf 105  $\mu\text{m}$  erweitert wird, so lassen sich brauchbare Leiterbahnbreiten erreichen (Bild 2). Jedoch ist es zu normalen Kosten nicht möglich, Fine-Pitch-Abstände auf 70- $\mu\text{m}$ -Außenlagen zu erzeugen. Das Verhältnis von Leiterbahnbreite zur Leiterbahnhöhe würde zu einem schwer vorhersagbaren Verhalten in der Fertigung führen. Als Alternative könnte der Lagenaufbau der Leiterplatte um ein weiteres 35- $\mu\text{m}$ -Lagenpaar erweitert werden. Dies würde jedoch die Herstellkosten negativ beeinflussen.

Natürlich könnten statt Fine-Pitch-SMT-Bauteilen auch normale SMT-Bauteile eingesetzt werden, um auf Außenlagen eine Kupferdicke von 70  $\mu\text{m}$  zu günstigen Herstellkosten verwenden zu können. Die Abmessungen der Leiterplatte werden dann aber in der Regel deutlich größer – wodurch ein Teil des Kostenvorteils aufgebraucht wird. Zu beachten ist, dass einige Bauteile nur noch in Fine-Pitch-Gehäusen zu bekommen sind, sodass für den Wechsel von Fine-Pitch-SMT auf SMT ein Redesign der Schaltung erforderlich würde. Diese Reihe von Entscheidungen kann der Leiterplatten-Entwickler nur treffen, wenn er die Funktion der Schaltung, alternative Bauelemente, den verfügbaren Platz und die Kosten der verschiedenen Herstellungsverfahren kennt.



**Bild 1.** Die Standardleiterplattentechnik basiert auf Lagen mit einer Kupferdicke von 35 µm.

(Quelle: FlowCAD)



**Bild 2.** Für Hochstrom-Leiterplatten bietet sich ein Lagenaufbau mit dickem Kupfer an: 70 µm für Außenlagen und 105 µm für Innenlagen.

(Quelle: FlowCAD)

### ■ Kompromiss Drahtschreibetechnik

Eine relativ neue Technik für Hochstrom-Leiterbahnen ist die Drahtschreibetechnik, die von den Firmen Jumatech und Häusermann angeboten wird. Hierbei wird ein Draht mit rundem oder rechteckigem Querschnitt direkt unter der Außenlage in den La-

genaufbau der Leiterplatte eingebracht. Bei der im Aufmacher gezeigten Schaltung wurde ein rechteckiger Flachdraht mit einer Höhe von 0,5 mm und einer Breite von 4 mm verwendet. Dieser Kupferdraht wird mit der Außenlage per Mikroschweißtechnik elektrisch und mechanisch verbunden. Die äußere Isolationslage (FR4) ist bei drahtgeschriebenen Leiterplatten et-

was dicker als gewöhnlich und hat auch einen höheren Harzanteil, sodass der Draht sich in die FR4-Schicht verpressen lässt.

Im Allegro- bzw. OrCAD-PCB-Editor wird hierzu eine Lage für den Kupferdraht direkt unter der „Top“-Lage definiert, die den Verlauf des Drahtes beschreibt (**Bild 3**). In der ersten inneren Signallage wird der Be-

Layout Cross Section

Cross Section

	Subclass Name	Type	Material	Thickness (MM)	Conductivity (mho/cm)	Dielectric Constant	Loss Tangent	Negative Atwork	Shield	Width (MM)
1		SURFACE	AIR			1	0			
2	TOP	CONDUCTOR	COPPER	0.035	595900	1	0	<input type="checkbox"/>		0.30
3	L1_PROFIL	CONDUCTOR	COPPER	0.5	100000	4.7	0.019	<input type="checkbox"/>		0.30
4		DIELECTRIC	FR-4_TG150	0.3	0	4.7	0.019			
5	L2	CONDUCTOR	COPPER	0.035	595900	1	0	<input type="checkbox"/>		0.30
6		DIELECTRIC	FR-4_TG150	0.3	0	4.5	0.035			
7	L3	CONDUCTOR	COPPER	0.035	595900	4.5	0.035	<input type="checkbox"/>		0.30
8		DIELECTRIC	FR-4_TG150	0.3	0	4.7	0.019			
9	L4_PROFIL	CONDUCTOR	COPPER	0.5	100000	4.7	0.019	<input type="checkbox"/>		0.30
10	BOTTOM	CONDUCTOR	COPPER	0.035	595900	1	0	<input type="checkbox"/>		0.30
11		SURFACE	AIR			1	0			

Total Thickness: 2.04 MM

Layer Type: ALL | Material: ALL | Field to Set: Thickness | Value to Set: [ ] | Update Fields

OK | Apply | Cancel | Refresh Materials -> | Show Single Impedance | Show Diff Impedance | Help

**Bild 3.** Um im Allegro-PCB-Editor einen Lagenaufbau mit Drahtschreibetechnik zu erstellen, werden direkt unter den Außenlagen (Top, Bottom) zusätzliche Kupferlagen in Drahtstärke eingegeben (L1\_Profil, L4\_Profil). (Bild: Semikron)

reich unter dem Draht per „Route Keep Out“ gesperrt, damit der Draht beim Verpressen keinen Kontakt mit einer Signalleitung auf der Innenlage erhalten kann – Kurzschluss zwischen Signal- und Hochstrom-Schaltung. Im PCB-Tool von Cadence müssen, außer den Einstellungen im Lagenaufbau, keine weiteren Einstellungen vorgenommen werden. Bereits mit der kleinsten Ausbaustufe des OrCAD-PCB-Tools lassen sich drahtgeschriebene Leiterplatten entwerfen.

Die Drahtschreibetechnik ist kostenneutral gegenüber einer Leiterplatte mit 70 µm Dickkupfer auf der Außenlage. Die Mehrkosten für den eingebetteten Draht entsprechen in etwa den Kosten für ein zusätzliches 35-µm-Lagenpaar, so dass sie sich durch den Wegfall dieses Lagenpaares aufheben. Zu den gleichen Kosten bietet die Drahtschreibetechnik aber einen zusätzlichen Vorteil: Sie ermöglicht eine kleinere Bauform der Leiterplatte als es bei der Verarbeitung in Dickkupfer-technik möglich wäre.

Um die Wärmeableitung einer drahtgeschriebenen Leiterplatte bestimmen zu können, bietet der Leiter-

plattenhersteller, der die Drahtschreibetechnik anwendet, als Service eine Berechnungshilfe an – basierend auf Erfahrungswerten, zur ersten Abschätzung. Messungen an den Baugruppen zeigten, dass diese Abschätzungswerte sehr gut mit den Messwerten übereinstimmen. Gegenüber einer üblichen Dickkupfer-Leiterplatte ergab sich eine Temperatursenkung von 20 K. Ein weiterer wesentlicher Vorteil der Drahtschreibetechnik ist, dass bei der Bestückung keine Probleme auftreten. Die Oberflächen sind sehr planar und unterscheiden sich nicht von Leiterplatten in 35-µm-Standard-technik. hs



**Peter Mauer**

ist Techniker der Elektrotechnik. Er arbeitet seit zwölf Jahren in der Elektronik-Entwicklung und ist zuständig für das Leiterplatten-Design. Seit vier Jahren leitet er die Abteilung Electronics Design bei Semikron.  
[peter.mauer@semikron.com](mailto:peter.mauer@semikron.com)



**Dipl.-Ing. Dirk Müller**

studierte Elektrotechnik mit der Vertiefungsrichtung Technische Informatik/Rechnerstrukturen und arbeitete fast zehn Jahre bei einem Hersteller für Embedded-Controller von Industriedrucksystemen. Seit 2001 ist er als Geschäftsführer bei FlowCAD für den Vertrieb von Cadence-PCB-Software in Zentraleuropa verantwortlich.  
[Dirk.Mueller@FlowCAD.de](mailto:Dirk.Mueller@FlowCAD.de)