

Embedded Components für Industrie- und Medizintechnik

Das Verlegen von Bauteilen in die PCB-Innenlagen ist eine Möglichkeit, die Leiterplattengrundfläche zu verkleinern. Eine Kombination mit starrflexiblen Boards erhöht den Miniaturisierungsgrad zusätzlich.

DIRK MÜLLER, MICHAEL MATTHES *

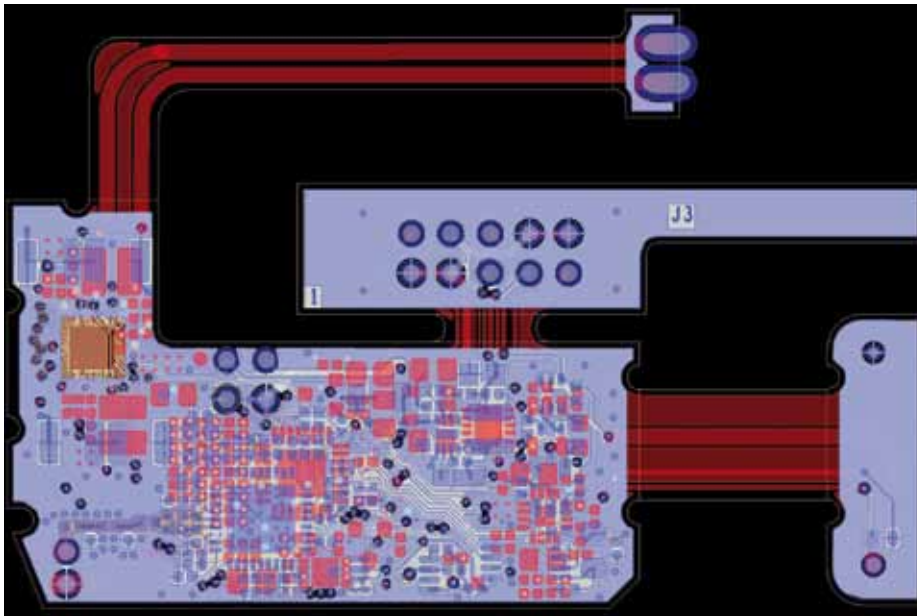


Bild 1: Bei dieser starrflexiblen Leiterplatte (mit abtrennbarem Inbetriebnahmestecker J3) ermöglichten Embedded Components die Reduzierung der Boardfläche um fast 50%. Ein Chip ohne Gehäuse (Bare Die) sowie einige 10k-Widerstände wurden in den PCB-Innenlagen untergebracht.

Ist der PCB-Formfaktor für die geforderten Schaltungsfunktionen zu groß, dann sind Embedded Components eine verlässliche Lösung. Fertigungsprozesse für Embedded Components sind erschwinglich und stabil geworden; geeignete ECAD-Software mit den erforderlichen Designregeln ermöglicht das Platzieren der Bauteile auf Innenlagen. Unter anderem wurde auf diese Weise im vorliegenden Anwendungsfall die Miniaturisierung

einer medizintechnischen Baugruppe mit nur 39 mm x 25 mm und 7 mm Bauhöhe möglich.

Die WITTENSTEIN AG entwickelt und fertigt hochpräzise elektromechanische Antriebssysteme für den Einsatz in Robotern, Werkzeugmaschinen, der Luft- und Raumfahrt sowie der Medizintechnik. Wenngleich dieses Produktspektrum typischerweise nicht mit extrem miniaturisierter Elektronik in Verbindung gebracht wird, sind die umfangreichen Anforderungen an die Elektromechanik enorm. Denn der zur Verfügung stehende Bauraum ist stets streng limitiert. Entwickler müssen mit Kreativität und ihrem Fachwissen über neue Techniken die bestmögliche Lösung finden.

Eine naheliegende Möglichkeit, die aufgrund der Schaltungsfunktion benötigte Leiterplattenfläche zu minimieren, ist die Verwendung von Bauteilen mit möglichst

geringer Baugröße. Doch ist hierbei die genaue Betrachtung der Verlustleistung besonders wichtig. Auch das Einsparen diskreter Bauteile verringert den Gesamtflächenbedarf einer Konstruktion. Zusätzlich wird sogar die Zuverlässigkeit der Baugruppe verbessert, denn je weniger Bauteile Verwendung finden um so geringer ist die Ausfallwahrscheinlichkeit. Ein hohes Potenzial zur Miniaturisierung haben Steckverbinder. Deren Platzbedarf ist sehr groß und sie schmälern außerdem die Zuverlässigkeit des Gesamtsystems.

Eine Alternative zu Steckverbindern sind Starrflex-Leiterplatten. Bei dieser Technik werden Teile der Schaltung auf mehrere starre Schaltungsträger verteilt, die über eine flexible Leiterplattenfolie miteinander verbunden sind. Diese Folie ist in den Lagenaufbau der verbundenen Leiterplatten integriert. Der Bauraum für Starrflex-Boards schrumpft drastisch, denn der Platzbedarf der Board-Konstruktion lässt sich einfach „wegfalten“.

Der Verzicht auf das IC-Gehäuse bringt 70% Flächeneinsparung

Um noch stärker zu miniaturisieren kann auch auf das Gehäuse verzichtet werden, was bei einem IC aus produktionstechnischen und ggf. aus thermischen Gründen nicht zwingend erforderlich ist: auf das Gehäuse. Stattdessen nutzt man einen Bare Die, der wie in diesem Anwendungsfall gerade einmal 2,5 mm x 3,0 mm misst. Das reduziert den Flächenbedarf für den in dieser Applikation zentralen Baustein um gut 70%. Um das maximale Einsparpotenzial auszunutzen, darf der Silizium-Chip aber nicht mit Drähten auf die Baugruppe gebondet werden. Er wird durch das Thermokompressionsverfahren direkt als Flip-Chip montiert, was den größten Flächengewinn mit sich bringt.

Diese direkte Anschlusstechnik hat den positiven Effekt sehr kurzer Leitungslängen, wodurch sich die Qualität der Schaltung in Bezug auf die Signalintegrität verbessert.



*Dirk Müller
...ist Geschäftsführer beim PCB-Spezialisten FlowCAD in Feldkirchen.



* Michael Matthes
... ist Entwicklungsingenieur beim Antriebsexperten WITTENSTEIN electronics GmbH, Igersheim.

Durch das fehlende Gehäuse des Halbleiters lässt sich bereits erheblich Platz einsparen, doch bleiben die Anforderungen zu miniaturisieren weiterhin die größte Herausforderung.

Nun ist wieder der Designer gefragt: Er muss die Möglichkeiten des verwendeten Tools, aber auch die aktuellen Technologien kennen, die den Anforderungen entsprechen und diese sinnvoll zusammenführen. Seinerzeit berichteten fast zeitgleich sowohl Cadence, der ECAD-Hersteller des bei WITTENSTEIN verwendeten PCB-Layout-Systems Allegro PCB Designer, als auch der Leiterplattenhersteller Würth über Lösungen zu einer neuen Technologie, in der Bauteile direkt in die Leiterplatte auf Zwischenlagen eingebettet werden können. Über die vorhandenen Ansprechpartner bei FlowCAD und Würth wurden schnell erste Informationen über mehr Details zu dieser Technologie eingeholt. Bald stellte sich heraus, dass ein Platzieren von Bauteilen innerhalb einer Leiterplatte neue realistische Möglichkeiten eröffnet, die Schaltung in Bezug auf kleineren Bauraum und höhere Zuverlässigkeit weiter zu optimieren. Die peripheren Bausteine, die aufgrund der Designregeln nahe am Chip

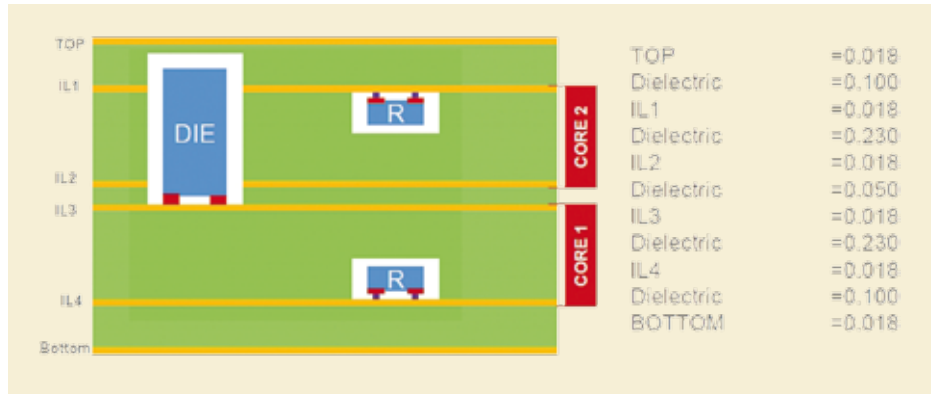


Bild 2: Der Lagenaufbau zeigt die Position der Embedded Components und deren Kontaktierungsverfahren

platziert werden sollen, müssen nicht mehr rundherum um den IC angeordnet sein, sondern können jetzt unter und über dem Embedded Chip in nächster Nähe ihren elektrisch optimalen Platz finden. Diese kurzen Leitungslängen optimieren zusätzlich das EMV-Verhalten der Baugruppe.

Bei der durch WITTENSTEIN realisierten Baugruppe handelt es sich um ein aktives Implantat mit drahtloser Energie- und Datenübertragung sowie implantierbarem Energiespeicher. Da die Schaltung im einge-

bauten Zustand nicht mehr zugänglich ist, muss sie eine sehr lange Lebensdauer mit einer geringen Ausfallwahrscheinlichkeit aufweisen. Hinzu kam die Anforderung, dass die Platine im bestückten Zustand nicht größer als ca. 39 mm x 25 mm x 7 mm sein darf. Da es sich bei dieser Baugruppe um ein medizintechnisches Produkt handelt, steht der Kostendruck nicht an aller erster Stelle, soll aber trotzdem mit berücksichtigt und mit herkömmlichen Technologien verglichen werden.

Entwickeln Sie Prototypen noch von Hand?



NI Multisim 12.0

Die leistungsstarke Umgebung für Elektronikentwicklung und Elektronikausbildung

- Intuitive Bedienung auch ohne SPICE-Kenntnisse
- Zeitersparnis durch schnelle Designvalidierung
- Cosimulation von analogen und digitalen Systemen mit NI LabVIEW
- PCB-Layouts mit NI Ultiboard

>> Mehr Informationen und kostenfreie Testversion unter ni.com/multisim/d

089 7413130

Weil der Aufbau der Leiterplatte bei Verwendung von Embedded Components ein sequentieller Prozess ist, sind hier deutlich mehr mechanische Bearbeitungsschritte erforderlich. In den zwei im Lagenaufbau zu sehenden Leiterplatten-Cores (Bild 2) werden bereits diskrete Bauteile bestückt. In einem weiteren Fertigungsschritt werden die zwei Kerne der Leiterplatte laminiert und verpresst, weshalb der eine Kern dort eine Ausparung (Cavity) haben muss, wo der Chip auf dem anderen Kern aufgebracht ist. Erst jetzt wird der Bare Die mittels Thermokompressionsverfahren in die Leiterplatte integriert. Als letzter Prozessschritt der Leiterplattenherstellung werden die beiden Außenlagen aufgebracht, strukturiert und galvanisiert. Nun muss „lediglich“ noch ein weiterer Bestückungslauf für die SMD-Bauteile auf Ober- und Unterseite gefahren werden, der den Herstellungsprozess abschließt.

Ohne Embedded Components nicht zu realisieren

Bei WITTENSTEIN wurden die Vor- und Nachteile des Gesamtsystems intensiv verglichen und beurteilt. Durch den Einsatz dieser neuen Technologie entstehen deutliche Mehrkosten, dagegen steigt aber die Zuverlässigkeit der Baugruppe und der Platzbedarf kann erheblich reduziert werden. Das letztendlich entscheidende Argument aber ist, dass ohne diese Technologie der gewünschte Funktionsumfang nicht in dem vorgegebenen Formfaktor hätte integriert werden können. Auch die Kosten überschritten letztendlich den gesetzten Rahmen nicht. Die positive Gesamtbetrachtung erlaubte die Entwicklung einer Schaltung mit dieser neuen Technologie und beendete die Suche nach weiteren Einsparpotenzialen.

Weil es sich vorerst um eine technologische Machbarkeitsstudie handelt, wurden nur wenige passive Bauteile, welche im Bedarfsfall extern deaktiviert werden können, in die Leiterplatte integriert. Aktuell sind nur 15 bis 20 verschiedene Widerstands- und Ka-

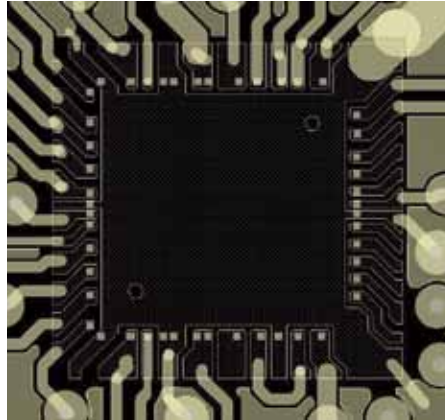


Bild 3: Footprint des ungehäuseten Chips, der in der Leiterplatte integriert ist

pazitätswerte in Europa erhältlich, die als Embedded Components in Leiterplatten integrierbar sind. Von vielen ICs können über die Bauteilehersteller bei entsprechendem Umsatzvolumen oder über spezielle Distributoren Bare Dies bezogen werden.

Die Herausforderung bei der skizzierten Baugruppe bestand darin, die Technologie zu untersuchen, die zur Reduzierung des Formfaktors nötig ist, sowie sicherzustellen, dass sie mit sehr hoher Qualität noch zu verarbeiten ist und im Betrieb eine sehr hohe Verfügbarkeit aufweist.

Der Constraint Manager kennt alle relevanten Designregeln

Da es für die Verwendung von Embedded Components viele Designregeln gibt, wurden diese im Constraint Manager des Allegro PCB Editors eingetragen. Hier geht es hauptsächlich um die Definition von Cavities, also Freiräumen um die Embedded Components, die später in der Produktion mit Harz vergossen werden. Die Cavities sind Keep-Out-Bereiche für Signale und Durchkontaktierungen für das Routing auf bestimmten Lagen im Layer Stackup. Der Lagenaufbau musste im Vorfeld sehr detailliert mit dem Hersteller definiert werden, sodass die Leiterplatte später zu

fertigen ist und gleichzeitig die elektrischen Eigenschaften zur Schaltung passten. Im Constraint Manager wurde definiert, auf welchen Innenlagen Bauteile platziert werden und welche Ausrichtung diese haben dürfen. Eine Unterscheidung nach body up bzw. body down ist erforderlich, da auf einer Innenlage die Bauteile auf beiden Seiten der Kupferlage kontaktiert werden können. Jedoch ist durch den Herstellungsprozess nicht alles theoretisch Mögliche auch machbar. Ob der Bare Die und passive Bauteile direct attached oder indirect attached werden ist ebenso ein Parameter im Constraint Manager. Die gesamte Designabsicht und speziellen Fertigungsregeln für Embedded Components sind in den Designdaten gespeichert und stehen später für Redesigns oder weitere Revisionen zur Verfügung.

Durch die Unterstützung der Layout Software fand sich schnell eine optimale Anordnung der Bauteile, die extrem kurze Verbindungen zwischen den Bauteilen ermöglicht und damit Probleme der Signalintegrität gar nicht erst aufkommen lässt.

Das Ultraschallbonden des dünnen Chips mit Gold-STUD-Bumps ist im vorliegenden Anwendungsfall mit einer Chip-Dicke von 650 µm möglich, was Vorteile in Bezug auf die Bausteinhöhe und kleinen Toleranzen beim Footprint bringt. Reicht diese Höhe im Lagenaufbau nicht zur Miniaturisierung aus, besteht die Möglichkeit, das Silizium rückdünnen zu lassen oder aber die Cavity über mehrere Lagen hinweg anzulegen, was aber wiederum das Routing in diesen Bereichen erschwert.

In dieser Schaltung wurden durch das Verlegen des Chips und einiger 10k-Widerstände auf die Innenlagen der Leiterplatte ca. 20 bis 30% der Gesamtfläche eingespart und damit die Anforderungen an den geforderten Miniaturisierungsschritt erfüllt. Durch den konsequenten Einsatz der Embedded-Technologie in Verbindung mit Microvias sollten hier Einsparpotenziale bis 50% und mehr möglich sein. Durch die räumlich extrem kompakte, mehrstöckige Platzierung spielt diese Technologie hinsichtlich Signalintegrität und EMV-Verhalten in Zukunft eine besondere Rolle. // KU

FlowCAD +49(0)89 45637770

InfoClick

- Details zum Leiterplatten-Layout-System Allegro PCB Designer von Cadence

www.elektronikpraxis.de

InfoClick 3361554

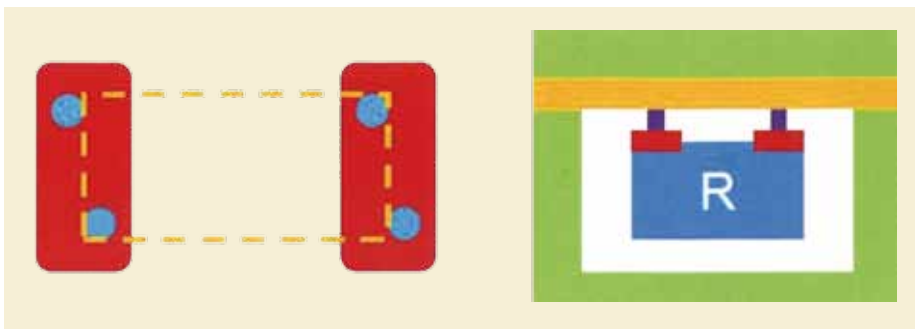


Bild 4: Footprint der Embedded-Komponente Widerstand mit zwei Single Layer Vias pro Anschluss-Pad